

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09321184 A**

(43) Date of publication of application: **12.12.97**

(51) Int. Cl

H01L 23/32

H01L 21/60

H05K 1/18

(21) Application number: **09021372**

(71) Applicant: **HOYA CORP**

(22) Date of filing: **04.02.97**

(72) Inventor: **HATANAKA KUNIMICHI
MURATA SHINICHI**

(30) Priority: **28.03.96 JP 08 74217**

**(54) SEMICONDUCTOR CONNECTION BOARD, ITS
MANUFACTURE AND BARE CHIP MOUNTING
BOARD**

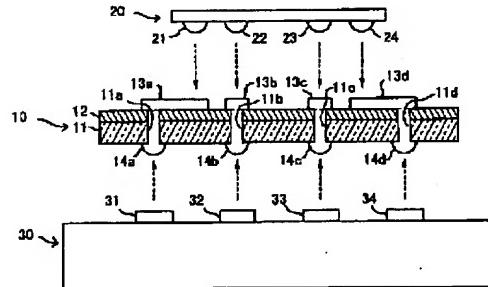
connected with the bumps 14a-14d of the connection board 10.

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a low-cost semiconductor connection board whereby such a semiconductor device having a high wiring density as a semiconductor chip and a printed wiring board having a low wiring density can be connected.

SOLUTION: In a photosensitive glass board 11, holes 11a-11d of the same number as bumps 21-24 of a bare chip 20 are bored. To the top surface of the photosensitive glass board 11, wirings 13a-13d are bonded by a bonding agent 12. In the case of the connection of the bare chip 20, the positions to connect the bumps 21-24 therewith and the holes 11a-11d are connected electrically by the wirings 13a-13d. Filling conductors provided by plating into the insides of the respective holes 11a-11d, bumps 14a-14d are formed at the ends of the respective conductors. With the wirings 13a-13d of the semiconductor connection board 10, the bumps 21-24 of the bare chip 20 are connected, and then, electrodes 31-34 of a printed wiring board 30 are



(19)日本国特許庁 (J.P.)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-321184

(43)公開日 平成9年(1997)12月12日

(51)Int.Cl.⁶
H 0 1 L 23/32
21/60
H 0 5 K 1/18

識別記号 3 1 1

F I
H 0 1 L 23/32
21/60
H 0 5 K 1/18

技術表示箇所
D
3 1 1 S
J

審査請求 未請求 請求項の数 8 OL (全 16 頁)

(21)出願番号 特願平9-21372

(22)出願日 平成9年(1997)2月4日

(31)優先権主張番号 特願平8-74217

(32)優先日 平8(1996)3月28日

(33)優先権主張国 日本 (J P)

(71)出願人 000113263

ホーヤ株式会社

東京都新宿区中落合2丁目7番5号

(72)発明者 畑中 邦道

東京都新宿区中落合2丁目7番5号 ホーヤ株式会社内

(72)発明者 村田 晋一

東京都新宿区中落合2丁目7番5号 ホーヤ株式会社内

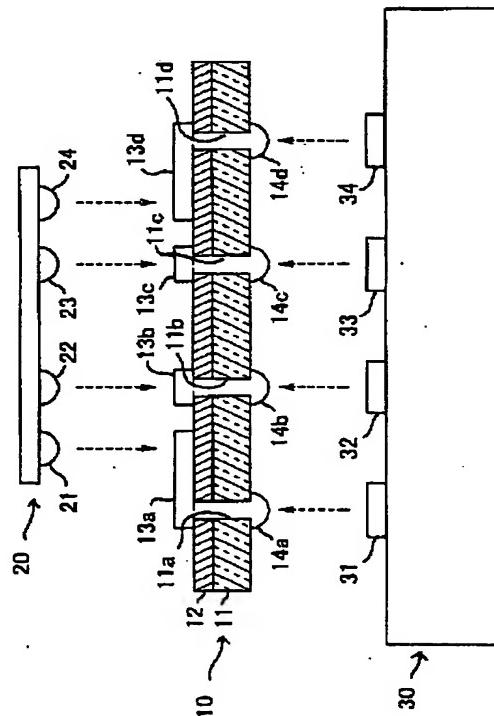
(74)代理人 弁理士 服部 翠嶽

(54)【発明の名称】 半導体接続基板、半導体接続基板の製造方法、及びペアチップ搭載ボード

(57)【要約】

【課題】 半導体チップ等の高配線密度の半導体チップと低配線密度のプリント配線板とを接続できる安価な半導体接続基板を提供する。

【解決手段】 感光性ガラス基板11には、ペアチップ20のバンプ21～24と同じ数の孔11a～11dがあけられている。感光性ガラス基板11の上面には、配線13a～13dが接着剤12により接着されている。配線13a～13dは、ペアチップ20を接続する際にバンプ21～24が接続されるべき位置と孔11a～11dとの間を電気的に接続している。各孔11a～11d内部は、メッキにより設けられた導体によって埋められており、さらにその先にバンプ14a～14dが形成されている。この半導体接続基板10の、配線13a～13dにはペアチップ20のバンプ21～24を接続し、バンプ14a～14dにはプリント配線板30の電極31～34を接続する。



【特許請求の範囲】

【請求項1】 半導体チップをプリント基板に接続するための半導体接続基板において、所定の位置に複数の孔が設けられた、感光性ガラスからなる基板と、前記孔に埋められた導電性物質の上に形成されたバンプと、前記バンプが形成された面と逆の面に設けられ、前記孔の間隔と異なる間隔で配置された複数の接続端子と前記導電性物質とを電気的に接続する配線と、を有することを特徴とする半導体接続基板。

【請求項2】 半導体チップをプリント基板に接続するための半導体接続基板において、感光性ガラスからなる基板と、前記基板の端面に設けられた複数の端面接続端子と、前記基板の一方の面の前記半導体チップの電極に応じた位置に配置された複数の高密度端子と前記端面接続端子とを電気的に接続する配線と、を有することを特徴とする半導体接続基板。

【請求項3】 半導体チップをプリント基板に接続するための半導体接続基板において、前記プリント基板の配線密度に応じた間隔で複数の孔が設けられた、感光性ガラスからなる基板と、前記基板の一方の面の前記半導体チップの電極に応じた位置に配置された複数の高密度端子と前記孔の内壁とを電気的に接続する配線と、を有することを特徴とする半導体接続基板。

【請求項4】 複数の半導体チップを基板に接続するための半導体接続基板の製造方法において、フォトリソグラフィにより、感光性ガラス基板の所定の位置に前記感光性ガラス基板を貫通する複数の孔を開け、前記感光性ガラス基板の一方の面に導体膜を形成し、メッキにより、前記孔の内部を埋め、さらに前記感光性ガラス基板の面上に盛り上がるまで導体を成長させることによりバンプを形成し、前記導体膜をフォトリソグラフィで現像、及びエッチングすることにより、前記孔の間隔と異なる間隔で配置された複数の接続端子と、前記バンプを形成する導体とを電気的に接続する配線を形成する、ことを特徴とする半導体接続基板の製造方法。

【請求項5】 半導体チップをプリント基板に接続するための半導体接続基板の製造方法において、フォトリソグラフィにより、感光性ガラス基板の所定の位置に、前記感光性ガラス基板を貫通する複数の孔を開け、スペッタリングにより、前記感光性ガラス基板の一方の配線面と前記孔の内壁とに導体膜を形成し、メッキにより前記導体膜を成長させ、前記導体膜をフォトリソグラフィで現像、及びエッチン

グをすることにより、前記半導体チップの配線密度に応じた間隔で前記感光性ガラス基板の一方の面上に配置された複数の高密度端子と、前記孔の内壁とを電気的に接続する配線を形成する、

ことを特徴とする半導体接続基板の製造方法。

【請求項6】 前記孔をあける際には、前記感光性ガラス基板の外周に一列となる位置に前記孔を開け、前記配線を形成した後に、前記孔の位置に沿って前記感光性ガラス基板を切断する、

ことを特徴とする請求項5記載の半導体接続基板の製造方法。

【請求項7】 前記孔をあける際には、電極用として挿入すべきピンの径に合わせた大きさの前記孔を開けることを特徴とする請求項5記載の半導体接続基板の製造方法。

【請求項8】 基板上に各種半導体部品が設けられたペアチップ搭載ボードにおいて、所定の位置に複数の孔が設けられた、感光性ガラスからなる基板と、前記孔に埋められた導電性物質と、前記基板の両面において、前記導電性物質の上に接続端子を形成する配線と、所定の電極が前記接続端子に接続されることにより、前記基板の両面に搭載された複数のペアチップと、を有することを特徴とするペアチップ搭載ボード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はペアチップ等の半導体チップをプリント基板に搭載するための半導体接続基板、半導体接続基板の製造方法及びペアチップ搭載ボードに関し、特に高配線密度のチップを配線密度の低いプリント基板に搭載するための半導体接続基板、その半導体接続基板の製造方法及び高密度実装のペアチップ搭載ボードに関する。

【0002】

【従来の技術】シリコンウエハー上に形成された後ダイシングされた状態のLSIなどの半導体チップを電気的に機能させるためには、チップの電極をプリント配線板の配線に電気的に接続しなければならない。そこで、一般的にはチップをリードフレームに接続するとともに封止し、チップが封止された筐体（以下、チップパッケージと呼ぶ）をプリント配線板に接続している。

【0003】このチップパッケージに要求される機能はチップの保護、チップ-プリント配線板間の電気的接続の確立、熱放散である。ここで電気的接続を確立するにはチップレベルの微小配線を、プリント配線板に接続可能な広い配線にしなければならない。つまり、電極のピンのピッチを拡大し、配線密度の変換を行う必要がある。

【0004】ピンピッチを拡大する手段としては、ワイ

ヤーボンディングによりチップのボンディングパッドとリードフレーム側の配線とを接続し、各配線を間隔の広いピンに接続することによりピンピッチを拡大するという技術が広く使用されている。ところが、近年はチップの高性能化にともなうI/O(Input/Output)の増加から、ボンディングパッド及びリードフレームのピン数が増加している。そのため、多量のボンディングパッドに対して1つ1つワイヤーをボンディングしていたのは、パッド数に比例してボンディング時間が長くなってしまう。

【0005】また、チップの多ピン化に伴いピンピッチも狭くせざるを得ない。そのため、リードフレームを短絡させずにプリント配線板に接続することが次第に難しくなってきている。以上のような理由から、ワイヤーボンディングに変わるべき必要とされている。

【0006】そこで、最近ではチップ側のパッドにバンプを設け、そのバンプによって半導体接続用基板に実装するフリップチップ接続方式が提案されている。この方式によれば、各バンプの配線を同時に接続できるため、パッド数が増えることによる作業時間の増加は小さくなる。また、ワイヤーボンディング方式にくらべ単位面積当たりの接続端子を多くとることができ、かつボンディングパッドを任意の位置に配置できるため、多ピン化によりピンピッチが狭くなるという問題を緩和することができる。さらに、単位面積当たりの接続端子を多くとれることは、パッケージの小型化、高密度化にもつながる。

【0007】また、パッケージの形状により多ピン化に対応する技術として、BGA(ボールグリッドアレイ)等のように接続端子をアレイ状(格子状)に設けるものも実用化されつつある。接続端子をアレイ状にすることにより、限られたスペースを効率良く使用することができ、パッケージの小型化がさらに進められる。

【0008】

【発明が解決しようとする課題】ところで、半導体チップの小型化、高性能化の技術の進歩が著しいなかで、BGAのように端子をアレイ状に並べて接続するパッケージ方法が多ピン化への対応として開発されている。しかし、機器のさらなる軽薄短小化が求められるなかで、端子電極をアレイ状に並べるパッケージを実現するためにはこれまで以上に微細な配線をもつパッケージング基板材料が必要となる。

【0009】また、現状高密度配線されるチップのパッケージング基板材料としてはセラミックが一般的であるが、平坦性が低いことや階層配線の必要性から大型となり安価でなくなる等の課題がある。

【0010】一方、プリント配線板の配線を高密度化することにより、高配線密度のチップをプリント配線板に接続することも可能であるが、現実においては、1つのプリント配線板に実装される電子部品全てが高配線密度

を有するとは考えづらい。即ち、比較的ピンピッチの広い表面実装部品とピンピッチの狭い部品との混載が広く行われると考えられる。例えば、比較的低い配線密度のプリント配線板に1~2ヶの高性能(高配線密度)チップを接続したいとのニーズが生ずると考えられる。従って、ピンピッチの最も狭い部品に合わせたプリント配線板を使用することは、製造コストの面で実用的ではない。つまり、コストを抑えるには、プリント配線板を高密度にすることなく、高配線密度のチップを実装できなければならない。

【0011】なお、高配線密度のチップが実装可能な半導体接続基板が提供された場合には、その半導体接続基板を利用したペアチップ搭載ボードが作れる。このペアチップ搭載ボードは、複数のペアチップを搭載してマルチチップモジュール(MCM)とすることができるが、各ペアチップは電極端子の数が多いため、それらを接続するための配線の数が多くなる。この配線を基板表面上に配置すると、配線の占有する面積が広くなってしまい、ペアチップ搭載ボードの十分な小型化が困難となる虞がある。しかも、ペアチップ搭載ボードの機能を高性能化するには、半導体チップやその他の電子部品の間の配線の距離が短いほどよい。すなわち、搭載されるチップや電子部品の配線を効率よく行う必要がある。

【0012】以上のように、ペアチップ等のパッケージ技術として、チップの多ピン化へ対応し、かつ高配線密度のプリント配線板へも、低配線密度のプリント配線板へも接合可能な基板を安価に製造する方法が求められているとともに、複数のペアチップを搭載したボードの配線を効率よく行うことも求められている。

【0013】本発明はこのような点に鑑みてなされたものであり、半導体チップ等の高配線密度の半導体チップと低配線密度のプリント配線板とを接続できる安価な半導体接続基板を提供することを目的とする。

【0014】また、本発明の他の目的は、半導体チップをパッケージングする際に、比較的少ない材料で、かつ短い工程でピンピッチを拡大できる半導体接続基板の製造方法を提供することである。

【0015】また、本発明の別の目的は、極めて短い距離でチップ間の配線が行われたペアチップ搭載ボードを提供することである。

【0016】

【課題を解決するための手段】本発明では上記課題を解決するために、半導体チップをプリント基板に接続するための半導体接続基板において、所定の位置に複数の孔が設けられた、感光性ガラスからなる基板と、前記孔に埋められた導電性物質の上に形成されたバンプと、前記バンプが形成された面と逆の面に設けられ、前記孔の間隔と異なる間隔で配置された複数の接続端子と前記導電性物質とを電気的に接続する配線と、を有することを特徴とする半導体接続基板が提供される。

【0017】このような構成の半導体接続基板は、基板として感光性ガラスを用いているため、表面の高い平滑性が得られ高密度配線が可能となるとともに、感光性であることからフォトリソグラフィにより微細な孔を高密度に開けることができる。従って、バンプを有する半導体チップをプリント配線板に接続する場合であれば、その半導体チップを半導体接続基板上に高密度に配置された接続端子に接続し、半導体接続基板に広い間隔で設けられたバンプをプリント配線板の電極に接続することができる。これにより、高配線密度の半導体チップの配線と低配線密度のプリント配線板の配線とが電気的に接続される。

【0018】また、半導体チップをプリント基板に接続するための半導体接続基板の製造方法において、フォトリソグラフィにより、感光性ガラス基板の所定の位置に、前記感光性ガラス基板を貫通する複数の孔をあけ、前記感光性ガラス基板の一方の面に導体膜を形成し、メッキにより前記孔の内部を埋め、さらに前記感光性ガラス基板の面上に盛り上がるまで導体を成長させることによりバンプを形成し、前記導体膜をフォトリソグラフィで現像、及びエッチングをすることにより、前記孔の間隔と異なる間隔で配置された複数の接続端子と、前記バンプを形成する導体とを電気的に接続する配線を形成する、ことを特徴とする半導体接続基板の製造方法が提供される。

【0019】このような半導体接続基板の製造方法により、半導体チップ等の高配線密度の半導体チップと低配線密度のプリント配線板とを接続できる安価な半導体接続基板が製造できる。

【0020】また、基板上に各種半導体部品が設けられたペアチップ搭載ボードにおいて、所定の位置に複数の孔が設けられた、感光性ガラスからなる基板と、前記孔に埋められた導電性物質と、前記基板の両面において、前記導電性物質の上に接続端子を形成する配線と、所定の電極が前記接続端子に接続されることにより、前記基板の両面に搭載された複数のペアチップと、を有することを特徴とするペアチップ搭載ボードが提供される。

【0021】このようなペアチップ搭載ボードによれば、搭載された複数のペアチップの所定の電極同士が、基板の孔に設けられた導電性物質を介して電気的に接続される。その結果、チップ同士の配線が3次元的に行われるとともに、極めて短い距離で結線される。

【0022】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1は本発明の半導体接続基板を示す図である。この半導体接続基板10は、ペアチップ20を図中上側に接続し、図中下側にプリント配線板30を接続するためのものである。

【0023】半導体接続基板10は、土台となる基板として化学切削性を有する感光性ガラス基板11を用いて

いる。感光性ガラス基板11には、ペアチップ20のバンプ21～24と同じ数の孔11a～11dがあけられている。この孔11a～11dは、感光性ガラス基板11を貫通している。各孔11a～11dの位置は、接続すべきプリント配線板30の電極31～34の位置と対応しており、十分に広い間隔をおいて設けられている。

【0024】感光性ガラス基板11の上面には、配線パターンにエッティングされた配線13a～13dが接着剤12により接着されている。配線13a～13dは、それぞれペアチップ20のバンプ21～24と1対1に対応している。そして、配線13a～13dは、ペアチップ20を接続する際にバンプ21～24が接続されるべき位置と孔11a～11dとの間を電気的に接続している。

【0025】各孔11a～11d内部は、メッキにより設けられた導体によって埋められており、さらにその先にバンプ14a～14dが形成されている。このような半導体接続基板10であれば、図中の上側の面の配線13a～13dには、ペアチップ20のバンプ21～24を接続し、図中の下側の面のバンプ14a～14dには、プリント配線板30の電極31～34を接続することができる。これにより、高密度配線のペアチップ20のバンプ21～24と、間隔の広いプリント配線板30側の電極と31～34を電気的に接続することができる。

【0026】次に、図1に示した半導体接続基板10の製造方法について説明する。図2は半導体接続基板10の製造工程を示す図である。なお、以下の説明において、バンプを設ける面を「表面」とし、配線を設ける面を「裏面」とする。

【S1】感光性ガラス基板11の裏面にピアホール用マスク41を設け、その上から感光性ガラス基板11を露光する。

【0027】感光性ガラス基板11には、 $\text{Li}_2\text{O}-\text{Al}_2\text{O}_3-\text{SiO}_2$ (Au, Ce) 系化学切削性感光性ガラスを用いる。また、感光性ガラス基板11の双方の面は、十分な平滑性を有している。そして、露光処理にはHg-Xeランプを使用し、そのランプによる光を20秒間照射する。次いで、現像処理を行う。

【S2】ステップS1による処理の結果、感光性ガラス基板11にピアホール11a～11dが形成される。このピアホール11a～11dは、感光性ガラス基板11を貫通する孔であり、接続すべきペアチップの電極の数と同じ数だけ設けられている。また、ピアホール11a～11dの位置は、プリント配線板側の電極と合致させるべき位置である。従って、プリント配線板の配線密度と同程度の間隔で設けられている。

【S3】ピアホール11a～11dが形成された感光性ガラス基板11の裏面に、接着剤12を塗布し導体膜13を貼りつける。

【S 4】メッキによりピアホール11a～11d内に導体を成長させるとともにバンプ14a～14dを形成する。

【0028】メッキを行う際には、ピアホール11a～11dの内壁に接着剤の層を形成し、接着剤の層の上からメッキ処理を施すことにより、メッキされる金属の付着性を向上させることができる。そして、この際のメッキ処理を感光性ガラス基板11の表面よりも突出するように、メッキを十分成長させる。これにより、導体でピアホール11a～11dが閉塞されるとともに、その後にはバンプ14a～14dが形成される。

【S 5】導体膜13の上にフォトレジスト42を塗布し、配線パターン用マスク43で露光する。

【S 6】フォトレジスト42を現像し、露光された部分を除去する。さらに、エッチングすることにより、フォトレジスト42a～42eに被覆されていない部分の導体膜13を除去する。

【S 7】ステップS 6の現像、エッチングの処理により導体膜13がパターニングされ、配線13a～13eが形成される。そして、必要に応じて配線13a～13eの表面をメッキし保護層(Ni/Au)を形成する。これらの配線13a～13eは、ペアチップのバンプと接続するための電極と、プリント配線板に接続するためのバンプ14a～14dとを1対1で接続している。

【0029】以上のようにして製造された半導体接続基板10を用いて、ペアチップをプリント配線板に接続する。図3は本発明の半導体接続基板10を用いてペアチップを搭載したプリント配線板の第1の例を示す図である。ペアチップ20の電極用のパッドの上には、バンプ21～24が設けられている。バンプ21～24は、それぞれ半導体接続基板10の配線13a～13dに接続されている。一方、プリント配線板30の上面には、ペアチップの電極と電気的に接続するための電極31～34が設けられており、この電極31～34と半導体接続基板10のバンプ14a～14dとが接続されている。これにより、ペアチップ20のバンプ21～24とプリント配線板30の電極31～34とが電気的に接続される。

【0030】図4は本発明の半導体接続基板を用いてペアチップを搭載したプリント配線板の第2の例を示す図である。これは、ペアチップの電極用のパッドにバンプが形成されていない場合の例である。

【0031】この例に示す半導体接続基板50において、感光性ガラス基板51のピアホール51a～51dは、ペアチップ20aのパッドと合致すべき位置に設けられている。そして、そのピアホール51a～51d内を導体物質で埋めた上にバンプが形成されている。一方、接着剤52により貼りつけられた配線53a～53dは、ピアホール51a～51dの位置とプリント配線板30aの電極31a, 32a, 33a, 34aに合致

すべき位置とを接続している。

【0032】そして、半導体接続基板50のバンプ54a～54dとペアチップ20aの電極用のパッドとが接続され、逆側の配線53a～53dとプリント配線板30aの電極31a, 32a, 33a, 34aとが接続されている。このようにして、電極用のパッドにバンプが設けられていないペアチップ20aを、プリント配線板30aに実装できる。

【0033】図5は本発明の半導体接続基板を用いてペアチップを搭載したプリント配線板の第3の例を示す図である。これは、プリント配線板にペアチップを複数接続し、マルチチップモジュールとする場合の例である。

【0034】この例に示す半導体接続基板60の感光性ガラス基板61には、2つのペアチップ20b, 20cの電極数に対応したピアホール61a～61fが設けられており、ピアホール61a～61f内を埋めた導体の先端にバンプ64a～64fが形成されている。ピアホール61a～61fの位置はプリント配線板30bの電極31b, 32b, 33b, 34b, 35b, 36bと合致すべき位置である。感光性ガラス基板61に接着剤62により貼りつけられた配線63a～63fは、ペアチップ20b用の配線63a～63cと、ペアチップ20c用の配線63d～63fとに分かれている。ペアチップ20b用の配線63a～63cは、ペアチップ20bのバンプ21b, 22b, 23bが合致すべき位置とピアホール61a～61cの位置とを接続している。一方、ペアチップ20c用の配線63d～63fは、ペアチップ20cのバンプ21c, 22c, 23cが合致すべき位置とピアホール61d～61fの位置とを接続している。

【0035】このような半導体接続基板60の配線63a～63cにはペアチップ20bのバンプ21b, 22b, 23bが接続され、配線63d～63fには、ペアチップ20cのバンプ21c, 22c, 23cが接続されている。そして、半導体接続基板60に設けられたバンプ64a～64fは、プリント配線板30bの電極31b, 32b, 33b, 34b, 35b, 36bに接続されている。これにより、複数のペアチップ20b, 20cがプリント配線板30bに搭載される。

【0036】図6は本発明の半導体接続基板を用いてペアチップを搭載したプリント配線板の第4の例を示す図である。これは、バンプの無い複数のペアチップ20d, 20eをプリント配線板30cに搭載し、マルチチップモジュールとする場合の例である。

【0037】この例に示す半導体接続基板70の感光性ガラス基板71には、2つのペアチップ20d, 20eの電極数に対応したピアホール71a～71fが設けられており、ピアホール71a～71f内を埋めた導体の先端にバンプ74a～74fが形成されている。ピアホール71a～71fの位置はペアチップ20d, 20e

の電極用のパッドの位置と合致すべき位置である。感光性ガラス基板71に接着剤72により貼りつけられた配線73a～73fは、プリント配線板30cの電極31c, 32c, 33c, 34c, 35c, 36cと合致すべき位置とピアホール71a～71fの位置とを接続している。

【0038】このような半導体接続基板70の配線73a～73fは、プリント配線板30cの電極31c, 32c, 33c, 34c, 35c, 36cに接続されている。また、半導体接続基板70に設けられたバンプ74a～74cはペアチップ20dの電極用パッドに接続され、バンプ74d～74fはペアチップ20eの電極用パッドに接続されている。これにより、パッドにバンプが設けられていない複数のペアチップ20d, 20eがプリント配線板30cに搭載される。

【0039】以上のように、本発明の半導体接続基板を用いてペアチップをプリント配線板に接続することにより、次のような効果が得られる。第1の効果は、チップの電極数が増加しても半導体チップの接続に要する時間が長くなることがなく、しかも半導体接続基板に使用される材料の種類が少なく、さらに感光性ガラス等の安価な材料を使用して、半導体チップ等の高配線密度の半導体チップと低配線密度のプリント配線板との接続が可能になることである。

【0040】第2の効果は、半導体接続基板とペアチップとを接続する場合にワイヤボンディングを行っていないため、ペアチップの電極用のパッドを小さくすることができます。その結果、チップ面積を小さくすることが可能となる。

【0041】第3の効果は、パッドの配置を任意の場所にできることである。その結果、チップの回路を設計する際の制約事項が緩和され、設計の自由度が増す。第4の効果は、ペアチップの電極用のパッドを小さくし、そのパッドを任意の位置に配置することにより、単位面積あたりの接続端子数を増やすことができる。

【0042】第5の効果は、バンプ付きのチップでも、バンプ無しのチップでも接続可能であることである。第6の効果は、本発明の半導体接続基板の配線ピッチは、プリント配線板の配線ピッチにあわせて自由に決定できることである。つまり、現状のプリント配線板の配線ピッチは300～500ミクロンピッチ程度であるため、このようなプリント配線板に接続する際には、同様の配線ピッチに配線を拡大することもできる。一方、高密度のプリント配線板であれば、それに合わせた微細な配線ピッチにすることもできる。

【0043】第7の効果は、基板の材料が有機樹脂のフィルムでないため適度な強度を有しているとともに、光の透過率が高いため光硬化性の接着剤が使用可能であることである。

【0044】これらの効果は、以下に説明する他の半導

体接続基板においても同様である。ところで、図2に示した方法では、感光性ガラス基板にピアホールを設けた後、導体膜を貼りつけているが、導体膜が形成ずみの感光性ガラス基板を用いて半導体接続基板を製造することができる。以下に、その製造方法について説明する。

【0045】図7は導体膜が形成ずみの感光性ガラス基板を用いた場合の半導体接続基板の製造工程を示す図である。

【S11】表面が十分な平滑性を有しており、裏面に導体膜82が形成された感光性ガラス基板81の表面にピアホール用マスク44を設け、その上から感光性ガラス基板81を露光し、次いで現像処理を行う。

【S12】ステップS11による処理の結果、感光性ガラス基板81にピアホール81a～81cが形成される。このピアホール81a～81cは、感光性ガラス基板81を貫通する孔であり、接続すべきペアチップの電極の数と同じ数だけ設けられる。また、ピアホール81a～81cの位置は、プリント配線板側の電極と合致させるべき位置である。なお、ピアホール81a～81cの裏面側は、導体膜82で覆われたままである。

【S13】メッキによりピアホール81a～81c内に導体を成長させるとともにバンプ83a～83cを形成する。

【S14】裏面にフォトレジスト45を塗布し、配線パターン用マスク46で露光する。次いで、フォトレジスト45を現像し、さらにエッティングすることにより、フォトレジスト45に被覆されていない部分の導体膜を除去する。

【S15】ステップS14の現像、エッティングの処理により導体膜82がパターニングされ、配線82a～82cが形成される。必要に応じて配線82a～82cの表面をメッキし保護層(Ni/Au)を形成する。

【0046】このようにして、導体膜が形成ずみの感光性ガラス基板から本発明の半導体接続基板を作成することができる。この方法によれば、図2に示した方法よりも工程を少なくすることができる。なお、この半導体接続基板を用いてペアチップをプリント配線板に搭載した際の形態は、図3～図6に示したものと同様である。

【0047】ここまで説明してきた半導体接続基板では、プリント配線板と接続するための端子は一方の面上に設けられているが、基板の端面に接続端子を設けることもできる。以下にその例を示す。

【0048】図8はプリント配線板との接続端子を基板端面に設けた半導体接続基板の製造工程を示す図である。

【S21】十分に薄い(1mm以下)化学切削性感光性ガラスの感光性ガラス基板91に対し、フォトリソグラフィを用いて、外周部に一列のピアホールを形成する。具体的には、感光性ガラス基板91の上面にピアホール用マスク47を設け、その上から感光性ガラス基板91

を露光し、次いで現像処理を行う。

【S 2 2】ステップS 2 1による処理の結果、感光性ガラス基板9 1にピアホール9 1 a, 9 1 bが形成される。このピアホール9 1 a, 9 1 bは、感光性ガラス基板9 1を貫通する孔であり、接続すべきペアチップの電極の数と同じ数だけ、外周に沿って一列に設けられている。

【S 2 3】ピアホール9 1 a, 9 1 bが形成された感光性ガラス基板9 1の裏面に、スペッタリングにより導体膜9 2を形成する。この導体膜9 2は、感光性ガラス基板9 1の裏面とピアホール9 1 a, 9 1 bの内壁とに形成される。

【S 2 4】メッキにより導体膜9 2を成長させる。これにより、スペッタリングで形成された導体膜9 2の上に新たな導体膜9 3が形成され、十分な膜厚が得られる。

【S 2 5】形成された導体膜9 2, 9 3を、リソグラフィにより現像、エッチングする。これにより、配線9 3 a～9 3 eが形成される。配線9 3 a～9 3 eの表面にはメッキを施し、保護層(N i/A u)を形成する。

【S 2 6】外周に整列して設けられているピアホール9 1 a, 9 1 bに沿って、感光性ガラス基板9 1を切断する。これにより、ピアホール9 1 a, 9 1 bが形成されていた部分が接続端子9 4 a, 9 4 bとなる。

【0 0 4 9】図9は接続端子を基板端面に有する半導体接続基板を示す図である。(A)は上面図である。この半導体接続基板9 0は、側面に沿って接続端子9 4が設けられている。各接続端子9 4は、配線9 3によってペアチップ搭載領域9 5のペアチップ用の接続端子と1対1で接続されている。

【0 0 5 0】(B)は(A)のX-X線断面図である。感光性ガラス基板9 1の側面には接続端子9 4 c, 9 4 dが設けられており、上面には配線9 3 fが設けられている。

【0 0 5 1】図10は基板端面に設けられた接続端子の拡大図である。接続端子9 4は、感光性ガラス基板9 1の側面に設けられており、もとはピアホールの内壁を形成する面であったため、表面は円柱の内面の形状となっている。そして、配線9 3によりペアチップ用の接続端子と電気的に接続されている。

【0 0 5 2】図11は端面に接続端子を有する半導体接続基板を用いてペアチップを搭載したプリント配線板の第1の例を示す図である。プリント配線板3 0 dには、半導体接続基板9 0が配置された位置の周囲に接続端子3 1 d, 3 2 dが設けられている。

【0 0 5 3】半導体接続基板9 0の上面にはペアチップ2 0 fが接続されている。一方、感光性ガラス基板9 1の端面に設けられた接続端子9 4 e, 9 4 fは、はんだのような導電性接着材料4 8 a, 4 8 bによりプリント配線板3 0 d側の接続端子3 1 d, 3 2 dに接続されている。また、接続端子9 4 e, 9 4 fは、感光性ガラス

基板9 1の上面に設けられた配線9 3 g, 9 3 jにより、ペアチップ2 0 fのバンプ2 1 f, 2 4 fとそれ接続されている。なお、ペアチップ2 0 fのバンプ2 2 f, 2 3 fは配線9 3 h, 9 3 iに接続されており、この配線9 3 h, 9 3 iは、感光性ガラス基板9 1の端面の図示されていない接続端子を介して、プリント配線板3 0 d側の図示されていない接続端子に接続されている。

【0 0 5 4】図12は端面に接続端子を有する半導体接続基板を用いてペアチップを搭載したプリント配線板の第2の例を示す図である。これは、半導体接続基板に複数のペアチップを搭載した場合の例である。プリント配線板3 0 eは、半導体接続基板1 0 1が配置された位置の周囲に接続端子3 1 e, 3 2 eが設けられている。

【0 0 5 5】半導体接続基板1 0 0の上面には2つのペアチップ2 0 g, 2 0 hが接続されている。感光性ガラス基板1 0 1の端面に設けられた接続端子1 0 4 a, 1 0 4 bは、はんだのような導電性接着材料4 8 c, 4 8 dによりプリント配線板3 0 e側の接続端子3 1 e, 3 2 eに接続されている。また、接続端子1 0 4 a, 1 0 4 bは、感光性ガラス基板1 0 1の上面に設けられた配線1 0 3 a, 1 0 3 fにより、各ペアチップ2 0 g, 2 0 hのバンプ2 1 g, 2 3 hに接続されている。なお、ペアチップ2 0 g, 2 1 hのバンプ2 2 g, 2 3 g, 2 1 h, 2 2 hは配線1 0 3 b～1 0 3 eに接続されており、この配線1 0 3 b～1 0 3 eは、感光性ガラス基板1 0 1の端面の図示されていない接続端子を介して、プリント配線板3 0 e側の図示されていない接続端子に接続されている。

【0 0 5 6】このようにして、接続端子を基板端面に設けた半導体接続基板を用いて、ペアチップをプリント配線板に搭載することができる。接続端子を基板端面に設けると、半導体接続基板を小型化することができるとともに、はんだの様な従来から確立された技術を用いて容易にプリント配線板上に実装することができる。

【0 0 5 7】ここで、接続端子を基板端面に設けた半導体接続基板をプリント配線板に実装する場合には、接続端子の位置とプリント配線板側の端子の位置とを正確に一致させる(アライメントする)必要がある。そこで、基板の材料に透明な感光性ガラスを使用することにより、アライメントを行い易くすることができる。

【0 0 5 8】図13は透明な感光性ガラスを用いた半導体接続基板とプリント配線板とを接続する際の位置確認方向を示す図である。半導体接続基板2 0 0は、透明な感光性ガラスが用いられており、上面にペアチップ2 0 nが接続されている。この半導体接続基板2 0 0をプリント配線板3 0 0に搭載する際には、半導体接続基板2 0 0の上方(図中、矢印で示す方向)から半導体接続基板2 0 0の位置を視認する。

【0 0 5 9】図14はアライメント時に視認される光景

を示す図である。(A)は半導体接続基板200を目的の位置に接近させる前の状態を示す図である。半導体接続基板200の端面には接続端子211～214が設けられており、各接続端子211～214は配線221～224によってペアチップの端子と電気的に接続されている。プリント配線板側には、ペアチップと接続するための配線301～304が設けられている。そして、この例では、接続端子211～214をそれぞれ配線301～304に接続するものとする。

【0060】(B)は半導体接続基板200を目的の位置に接近させた状態を示す図である。半導体接続基板200は透明な感光性ガラス基板で作られているため、配線221～224が設けられている領域以外は、下のプリント配線板を透かし見ることができる。従って、プリント配線板上に形成された配線301～304も十分視認することができ、容易にアライメントすることができる。

【0061】一方、さらに正確なアライメントを必要とする場合や、コンピュータを用いた画像解析によってアライメントを行う場合には、位置合わせのマーク(以下、アライメントマークと呼ぶ)を用意しておくことが便利である。

【0062】図15はアライメントマークを設けた場合のアライメント状況を示す図である。(A)は半導体接続基板400を目的の位置に接近させる前の状態を示す図である。半導体接続基板400の端面には接続端子411～414が設けられており、各接続端子411～414は配線421～424によってペアチップの端子と電気的に接続されている。さらに、半導体接続基板400の角には、位置合わせ用の十字型のマーク401が設けられている。プリント配線板側には、ペアチップと接続するための配線511～514が設けられている。さらに、プリント配線板側にも位置合わせ用の正方形を4つ並べた形のマーク501が設けられている。そして、この例では、接続端子411～414をそれぞれ配線511～514に接続するものとする。

【0063】(B)は半導体接続基板400を目的の位置に接近させた状態を示す図である。アライメントをする際には、半導体接続基板400側のマーク401の十字の形状が、プリント配線板側のマーク501の正方形の間に一致するように調整する。半導体接続基板400が透明であるため、プリント配線板上に半導体接続基板400を重ねた状態でも双方のマークを401, 501を視認することができる。従って、半導体接続基板400を正確な位置に配置できる。

【0064】ところで、最近の多くのチップパッケージでは、ピングリッド形態が取られている。そこで、プリント配線板と接続するための半導体接続基板側の接続端子をピングリッド形態にする場合について次に説明する。

【0065】図16はプリント配線板との接続端子をピングリッド形態にする半導体接続基板の製造工程を示す図である。

【S31】十分に薄い(1mm以下)化学切削性感光性ガラスの感光性ガラス基板111に対し、フォトリソグラフィを用いて、外周部に一列のビアホールを形成する。具体的には、感光性ガラス基板111の上面にビアホール用マスク49を設け、その上から感光性ガラス基板111を露光する。次いで、現像処理を行う。

【S32】ステップS31による処理の結果、感光性ガラス基板111にビアホール111a, 111bが形成される。このビアホール111a, 111bは、感光性ガラス基板111を貫通する孔であり、接続すべきペアチップの電極の数と同じ数だけ、外周に沿って一列に設けられている。

【S33】ビアホール111a, 111bが形成された感光性ガラス基板111の裏面(図中上面)に、スペッタリングにより導体膜112を形成する。この導体膜112は、感光性ガラス基板111の裏面とビアホール111a, 111bの内壁とに形成される。

【S34】メッキにより導体膜112を成長させる。これにより、スペッタリングで形成された導体膜112の上に新たな導体膜113が形成され、十分な膜厚が得られる。

【S35】形成された導体膜112, 113を、リソグラフィにより現像、エッチングする。これにより、配線113a～113eが形成される。この配線113a～113eは、ペアチップの電極に接続すべき接続端子と外周部のビアホール内壁の導体膜とを1対1に接続している。従って、各ビアホール111a, 111bに導電性のピンを貫通させることにより、プリント配線板との接続端子を有する半導体接続基板を得ることができる。ここで、この半導体接続基板にペアチップを接続しピンを貫通させる形態としては、導電性のピンを貫通させる方向や、ペアチップの接続方向によって複数の形態が考えられる。

【0066】図17はピン突出側と反対側にペアチップを接続する場合の例を示す図である。

【S41】半導体接続基板110の配線113a～113eが形成された面と逆の面に、絶縁性接着材料115を用いて、基板補強材114を接着する。この基板補強材114には、ビアホール111a, 111bと重なる位置に孔114a, 114bをあけ、ビアホール111a, 111bの位置で貫通する孔を確保する。

【S42】ビアホール111a, 111bに対して、半導体接続基板110の配線113a～113eが設けられた面から配線用ピン116, 117を挿入する。

【S43】配線113a～113eが設けられた面にペアチップ20iを接続し、そのペアチップ20iと配線用ピン116, 117とを絶縁性接着剤118で固定

する。これにより、ピングリッド形態の接続端子を有するチップパッケージとなる。

【0067】また、図17のステップS43の工程において、ペアチップ20i上部に蓋を設けてよい。図18は蓋によりペアチップを封止した場合の例を示す図である。この例は、図17のステップS41、ステップS42の工程の後に、ペアチップ20iを接続し、その上に蓋119を被せ、絶縁性接着剤118aで固定している。

【0068】次に、上記の例とは逆の方向から配線用ピンを挿入する場合について説明する。図19はピン突出側と同じ面にペアチップを接続する場合の例を示す図である。

【S51】半導体接続基板110の配線113a～113eが形成された面と逆の面に、絶縁性接着剤122を用いて、基板補強材121を接着する。この基板補強材121には、ビアホール111a, 111bと重なる位置に孔121a, 121bをあけ、ビアホール111a, 111bの位置で貫通する孔を確保する。

【S52】ビアホール111a, 111bに対して、基板補強材121が設けられた方向から配線用ピン123, 124を挿入する。

【S53】基板補強材121の上に、ピンを押さえるための蓋126を絶縁性接着剤125によって接着する。

【S54】配線113a～113eが設けられた面にペアチップ20jを接続する。これにより、配線用ピンの突起方向と同じ方向にペアチップが装着される。

【0069】このように、配線用ピンは半導体接続用基板のどちらの面から挿入してもよい。そこで、2つの半導体接続用基板を重ね合わせることにより、双方の面にペアチップを接続し、マルチチップ構成とすることも可能である。

【0070】図20は半導体接続用基板を重ね合わせてマルチチップ構成とした場合の例を示す図である。この例では、2つの半導体接続用基板130, 140が使用されている。これらの半導体接続基板130, 140は、それぞれ感光性ガラス131, 141の上に導体膜132, 142が成膜され、その上にさらに導体膜133, 143が形成されている。これらの導体膜はリソグラフィによって現像、エッチングされることにより、配線を形成している。

【0071】2つの半導体接続用基板130, 140は、双方の配線が設けられた面の逆側の面同士が、絶縁基板151を挟んで接着されている。それぞれの配線には、ペアチップ20k, 20mが接続されている。

【0072】そして、半導体接続用基板130の方向から配線用ピン152, 153が挿入されている。この配線用ピン152, 153とペアチップ20kとの周囲は、絶縁性接着剤154で固められている。同様にペアチップ20lの周囲も絶縁性接着剤155で固められて

いる。

【0073】このように、2枚の半導体接続用基板を貼り合わせることにより、マルチチップ構成のチップパッケージのサイズを小さくすることができる。なお、図20の例では、配線用ピン152, 153が設けられた位置でのみ両面の配線が接続されているが、それ以外の位置にも配線用の孔を設ければ、両面のチップの電極同士を最短距離で接続することができる。そのような構成にすれば、各種チップが非常に高密度に実装されたペアチップ搭載ボードが得られる。このペアチップ搭載ボードの例を、以下に示す。

【0074】図21は、高密度実装のペアチップ搭載ボードを示す図である。(A)は上面図であり、(B)は(A)のY-Y断面図である。このペアチップ搭載ボード160では、感光性ガラス基板161の両面に、リソグラフィにより配線162a, 162bが形成されている。また、感光性ガラス基板161には、両面の配線162a, 162bを電気的に接続するための多数の孔(ビアホール)161aがあけられている。この孔161aは、主に両面の電極端子の位置を直線的に結ぶ位置に設けられている。孔161aの内部は、導電性物質で埋められている。この導電性物質と両面の配線162a, 162bとが接続されることにより、両面の配線配線162a, 162bが互いに電気的に接続される。

【0075】そして、感光性ガラス基板161の両面に、CPUチップ163、メモリチップ164等のペアチップと、チップコンデンサ165等の電子部品とが搭載されている。CPUチップ163や一部のメモリチップ164a, 164bは表面に搭載されており、他のメモリチップ164c～164fとチップコンデンサ165a～165dは裏面に搭載されている。これらのペアチップと電子部品との所定の電極は、感光性ガラス基板161の孔の上の電極端子に接続されている。

【0076】これにより、表面に搭載されたチップの電極と裏面に搭載されたチップの電極とを最短距離で接続することができる。感光性ガラス基板161の厚さは、0.7～1.0mm程度であるため、配線の長さも同程度である。しかも、チップ間配線が1つの平面上に限られるという制限枠を取り去り、平面方向の配線と垂直方向の配線とを組み合わせることができる。そのため、ペアチップ搭載ボードの小型化をさらに進めることができるとともに、配線抵抗が少なくなり高周波の動作クロックにも対応することができる。

【0077】また、図のように両面実装をすることにより、ペアチップの電源用の端子とグランド用の端子との間に設けるべきコンデンサを、そのチップの裏側に接続することができる。そのため、配線パターンを設計する際に、コンデンサを搭載すべき場所を容易に確保できる。このコンデンサは、半導体チップに入出力される信号の波形を整える働きをしているため、必要なコンデン

サを確実に搭載していれば、マルチチップモジュール全体としての動作の安定性が向上する。しかも、コンデンサ自身は非常に小型であるため、コンデンサを多数搭載してもペアチップ搭載ボードが大型化することはない。

【0078】なお、図21のようなペアチップ搭載ボードは、それ単体で1つのコンピュータシステムを構成できるが、このペアチップ搭載ボードをプリント配線板に実装する必要がある場合には、図20に示したような配線用のピンを設けておけばよい。

【0079】

【発明の効果】以上説明したように本発明の半導体接続基板は、高い表面平滑性を有し、且つ安価な感光性ガラスを基板の材料としているため、半導体チップ等の高配線密度の半導体チップと低配線密度のプリント配線板とを接続するための半導体接続基板を安価にすることができる。

【0080】さらにリードフレーム等の空間配線がないためノイズが軽減される等電気的にも優れており、チップ接続に要する時間がそれほど長くならないため電極数の多いチップをプリント配線板に搭載する際の作業時間を短縮できる。

【0081】また、本発明の半導体接続基板の製造方法では、感光性ガラスを基板として半導体接続基板を製造するため安価な材料で製造できるとともに、チップの電極数増加に対しても極端に製造コストをアップせずに半導体接続基板を製造することが可能である。

【0082】また、本発明のペアチップ搭載ボードでは、感光性ガラスからなる基板の両面にペアチップを搭載し、基板に設けられた孔を介して配線を行うようにしたため、複数のペアチップ同士の配線が3次元的に行われるとともに、基板の両面に搭載されたチップ同士が極めて短い距離で結線される。従って、ペアチップ搭載ボードの小型化が図れると同時に、配線抵抗の低下により高周波の動作が可能となる。

【図面の簡単な説明】

【図1】図1は本発明の半導体接続基板を示す図である。

【図2】半導体接続基板の製造工程を示す図である。

【図3】本発明の半導体接続基板を用いてペアチップを搭載したプリント配線板の第1の例を示す図である。

【図4】本発明の半導体接続基板を用いてペアチップを搭載したプリント配線板の第2の例を示す図である。

【図5】本発明の半導体接続基板を用いてペアチップを搭載したプリント配線板の第3の例を示す図である。

【図6】本発明の半導体接続基板を用いてペアチップを搭載したプリント配線板の第4の例を示す図である。

【図7】導体膜が形成ずみの感光性ガラス基板を用いた場合の半導体接続基板の製造工程を示す図である。

【図8】プリント配線板との接続端子を基板端面に設けた半導体接続基板の製造工程を示す図である。

【図9】接続端子を基板端面に有する半導体接続基板の具体例を示す図である。(A)は上面図であり、(B)は(A)のX-X断面図である。

【図10】基板端面に設けられた接続端子の拡大図である。

【図11】端面に接続端子を有する半導体接続基板を用いてペアチップを搭載したプリント配線板の第1の例を示す図である。

【図12】端面に接続端子を有する半導体接続基板を用いてペアチップを搭載したプリント配線板の第2の例を示す図である。

【図13】透明な感光性ガラスを用いた半導体接続基板とプリント配線板とを接続する際の位置確認方向を示す図である。

【図14】アライメント時に視認される光景を示す図である。(A)は半導体接続基板を目的の位置に接近させる前の状態を示す図であり、(B)は半導体接続基板を目的の位置に接近させた状態を示す図である。

【図15】アライメントマークを設けた場合のアライメント状況を示す図である。(A)は半導体接続基板を目的の位置に接近させる前の状態を示す図であり、(B)は半導体接続基板を目的の位置に接近させた状態を示す図である。

【図16】プリント配線板との接続端子をピングリッド形態にする半導体接続基板の製造工程を示す図である。

【図17】ピン突出側と反対側にペアチップを接続する場合の例を示す図である。

【図18】蓋によりペアチップを封止した場合の例を示す図である。

【図19】ピン突出側と同じ面にペアチップを接続する場合の例を示す図である。

【図20】半導体接続用基板を重ね合わせてマルチチップ構成とした場合の例を示す図である。

【図21】高密度実装を可能にしたペアチップ搭載ボードを示す図である。(A)は上面図であり、(B)は(A)のY-Y断面図である。

【符号の説明】

1 0 半導体接続基板

1 1 感光性ガラス基板

1 2 接着剤

1 3 a ~ 1 3 d 配線

1 4 a ~ 1 4 d バンプ

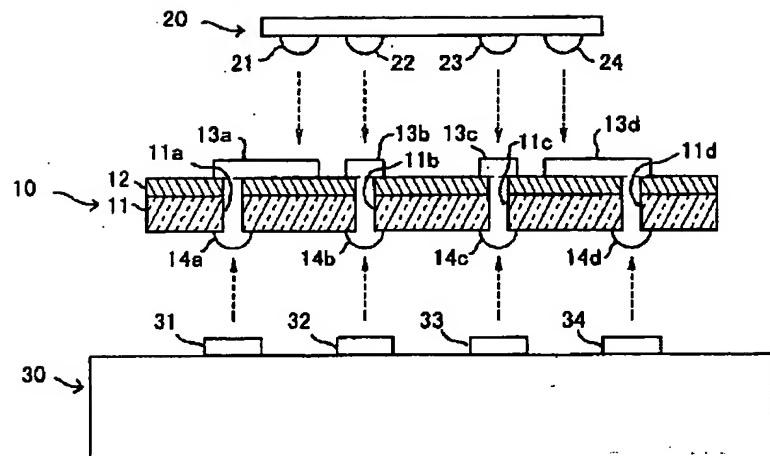
2 0 ペアチップ

2 1 ~ 2 4 バンプ

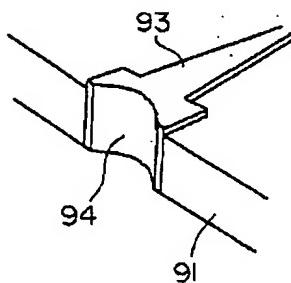
3 0 プリント配線板

3 1 ~ 3 4 電極

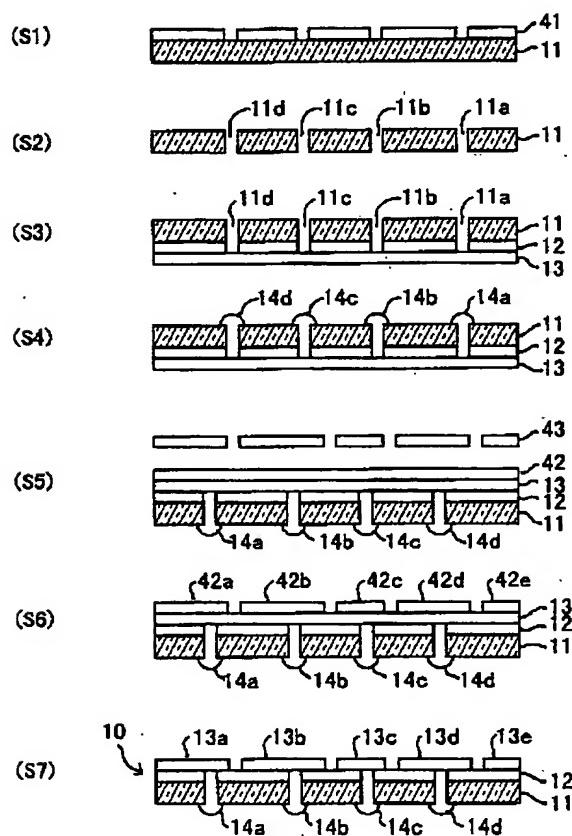
【図1】



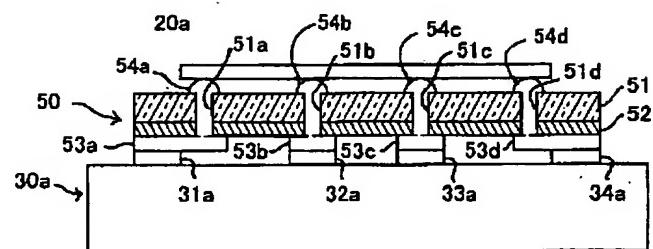
【図10】



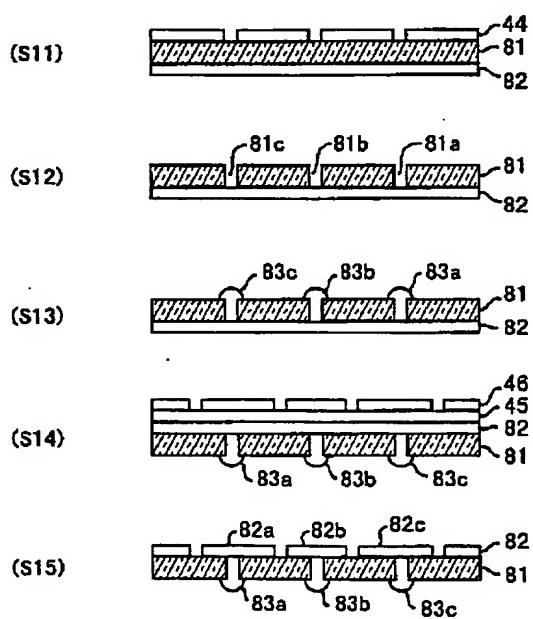
【図2】



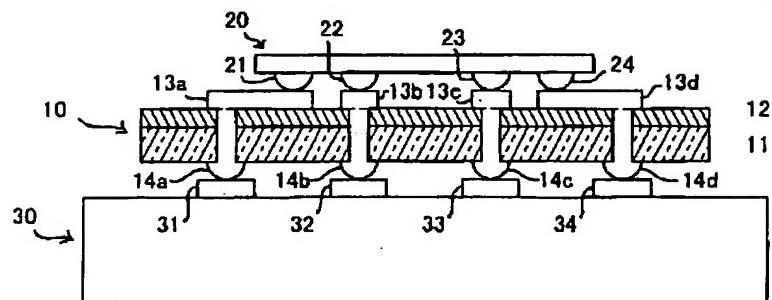
【図4】



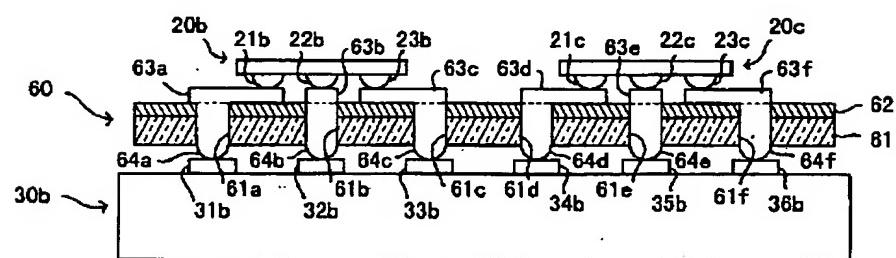
【図7】



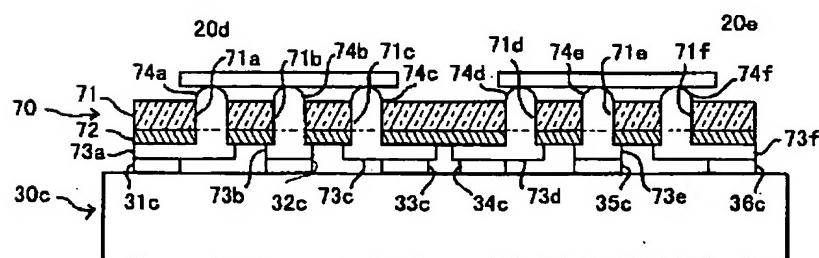
【図3】



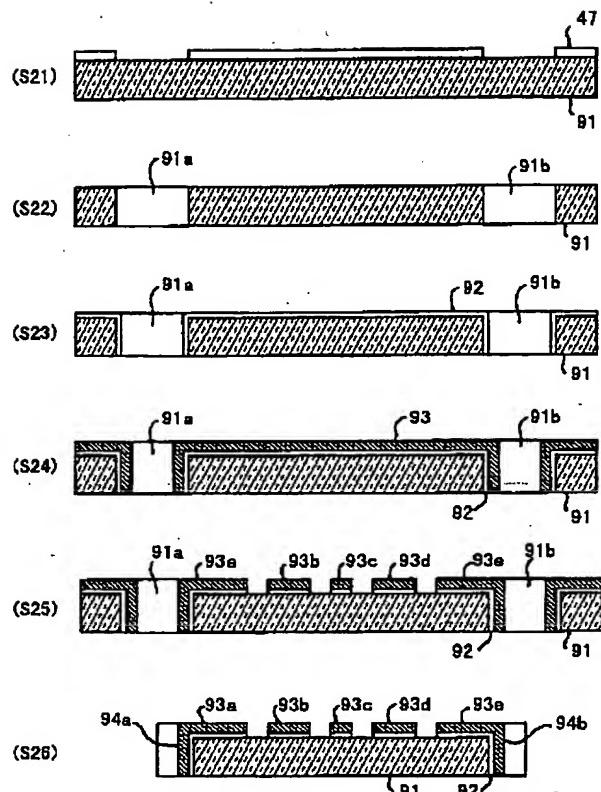
【図5】



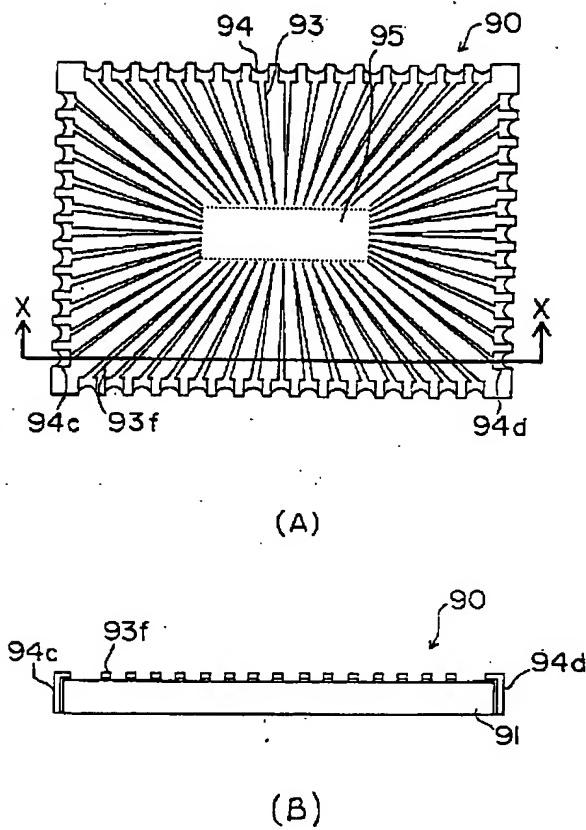
【図6】



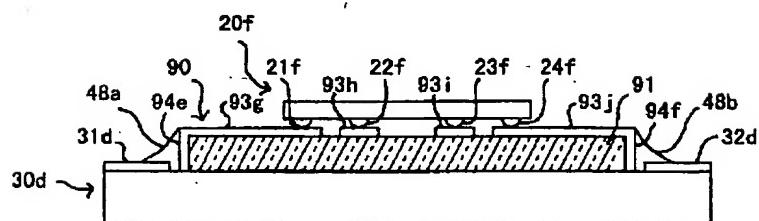
【図8】



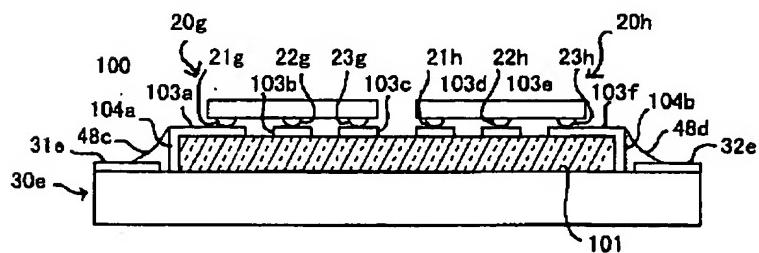
【図9】



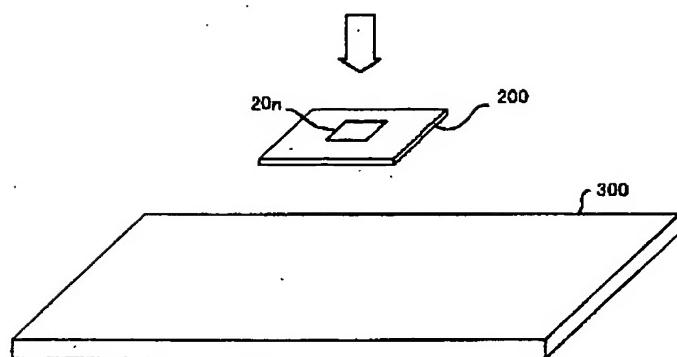
【図11】



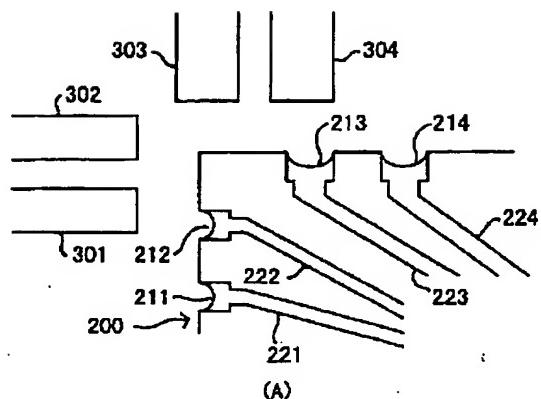
【図12】



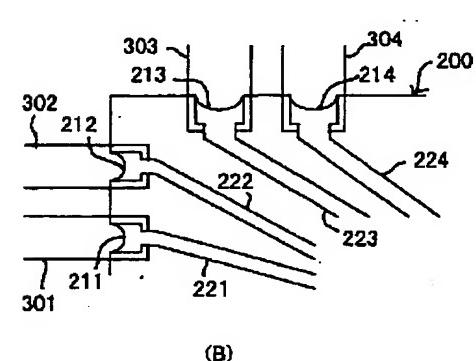
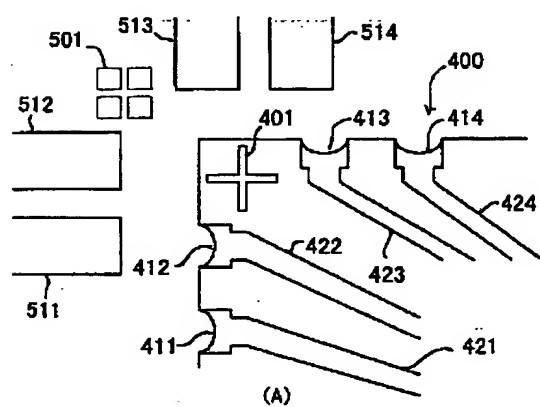
【図13】



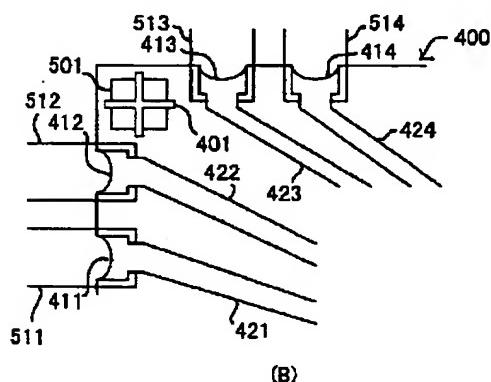
【図14】



【図15】

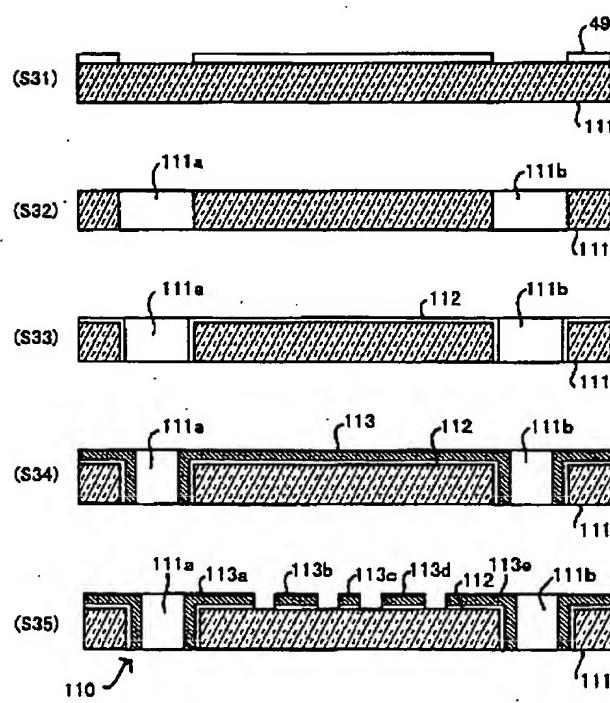


(A)

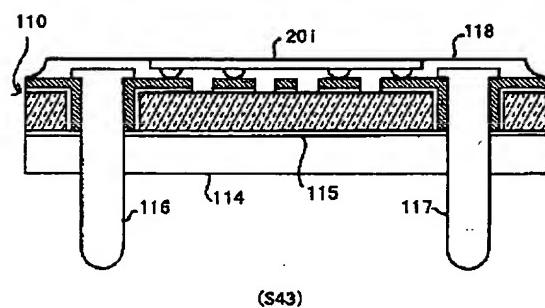
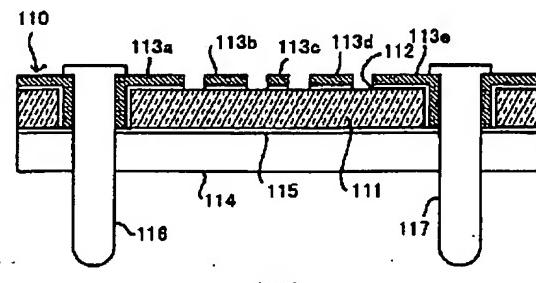
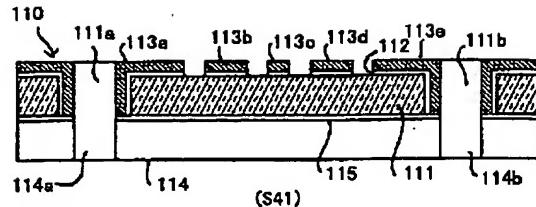


(B)

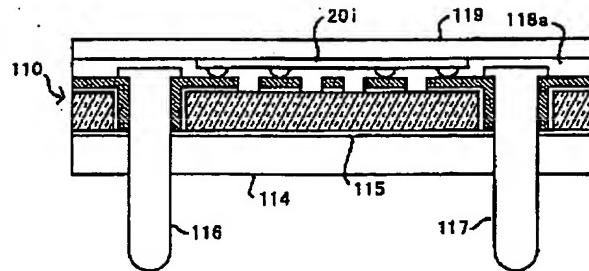
【図16】



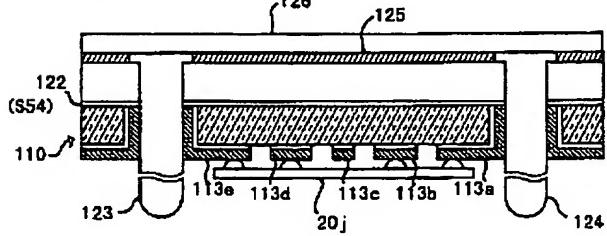
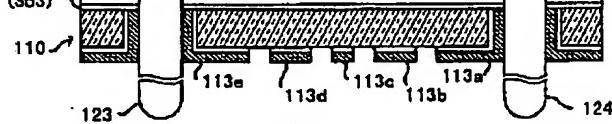
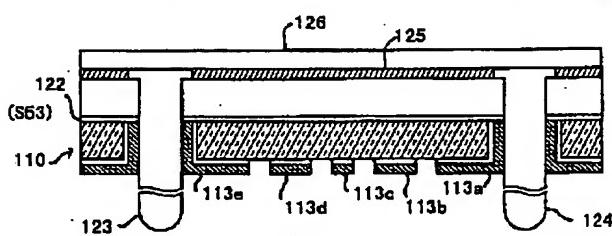
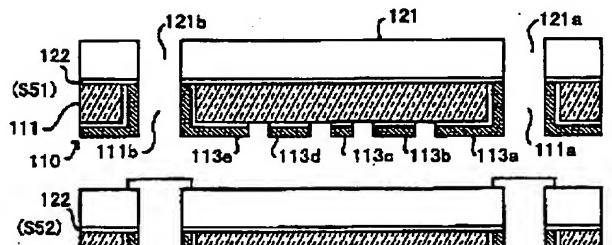
【図17】



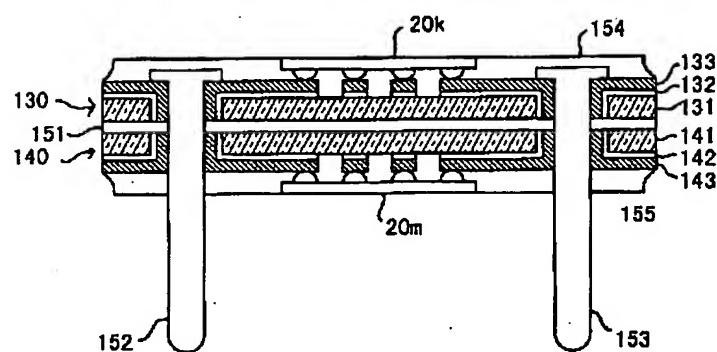
【図18】



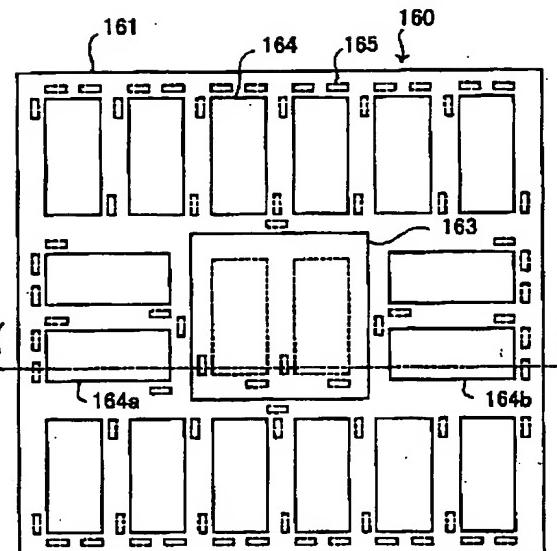
【図19】



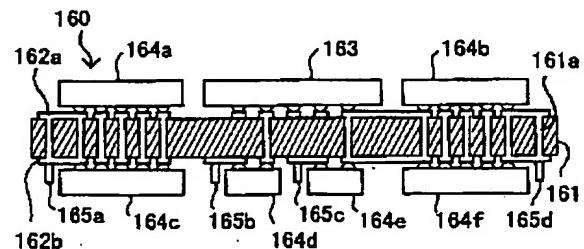
【図20】



【図21】



(A)



(B)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321184

(43)Date of publication of application : 12.12.1997

(51)Int.Cl. H01L 23/32
H01L 21/60
H05K 1/18

(21)Application number : 09-021372 (71)Applicant : HOYA CORP

(22)Date of filing : 04.02.1997 (72)Inventor : HATANAKA KUNIMICHI
MURATA SHINICHI

(30)Priority

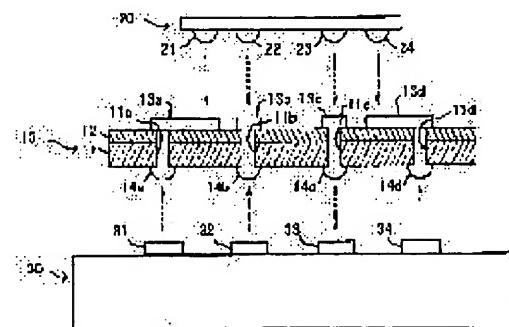
Priority number : 08 74217 Priority date : 28.03.1996 Priority country : JP

(54) SEMICONDUCTOR CONNECTION BOARD, ITS MANUFACTURE AND BARE CHIP MOUNTING BOARD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a low-cost semiconductor connection board whereby such a semiconductor device having a high wiring density as a semiconductor chip and a printed wiring board having a low wiring density can be connected.

SOLUTION: In a photosensitive glass board 11, holes 11a-11d of the same number as bumps 21-24 of a bare chip 20 are bored. To the top surface of the photosensitive glass board 11, wirings 13a-13d are bonded by a bonding agent 12. In the case of the connection of the bare chip 20, the positions to connect the bumps 21-24 therewith and the holes 11a-11d are connected electrically by the wirings 13a-13d. Filling conductors provided by plating into the insides of the respective holes 11a-11d, bumps 14a-14d are formed at the ends of the respective conductors. With the wirings 13a-13d of the semiconductor connection board 10, the bumps



21-24 of the bare chip 20 are connected, and then, electrodes 31-34 of a printed wiring board 30 are connected with the bumps 14a-14d of the connection board 10.

LEGAL STATUS

[Date of request for examination] 03.10.1997

[Date of sending the examiner's decision of rejection] 29.06.1999

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3004931

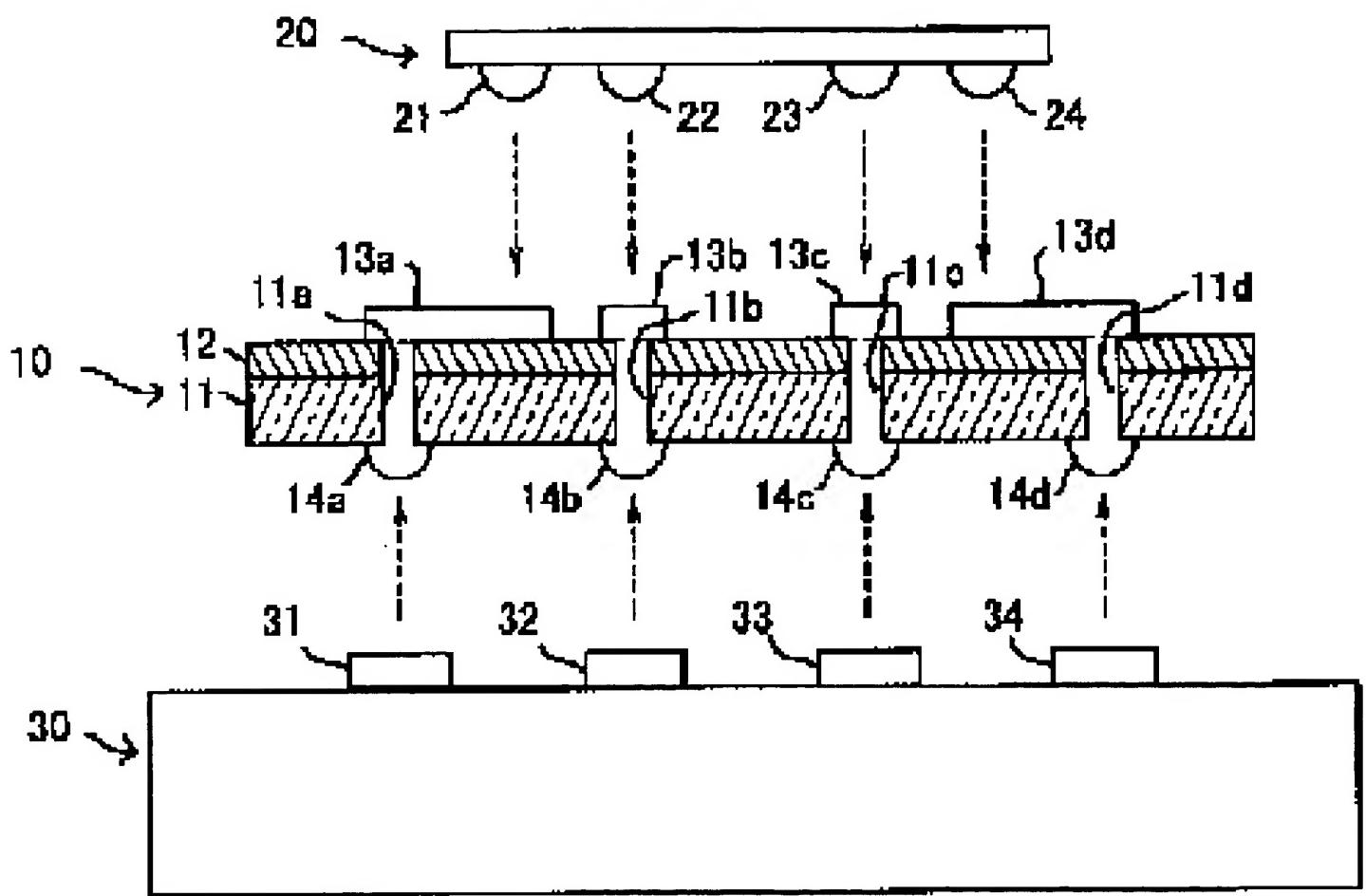
[Date of registration] 19.11.1999

[Number of appeal against examiner's decision of rejection] 11-12096

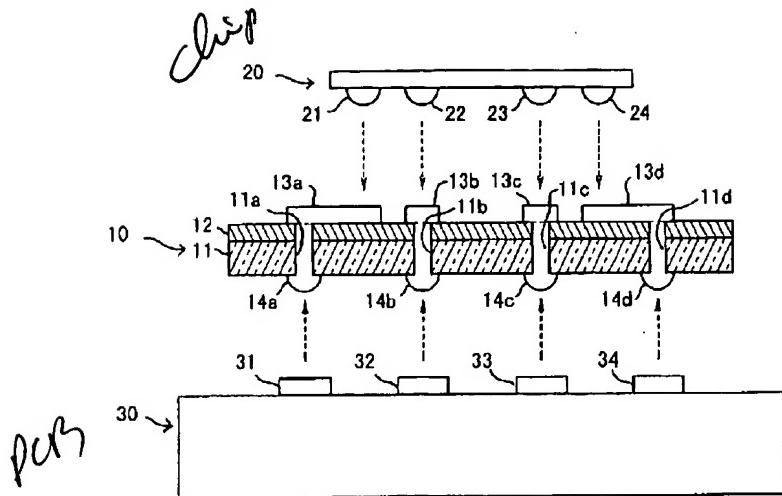
[Date of requesting appeal against examiner's decision of rejection] 23.07.1999

[Date of extinction of right]

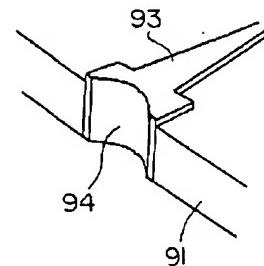
Copyright (C); 1998,2003 Japan Patent Office



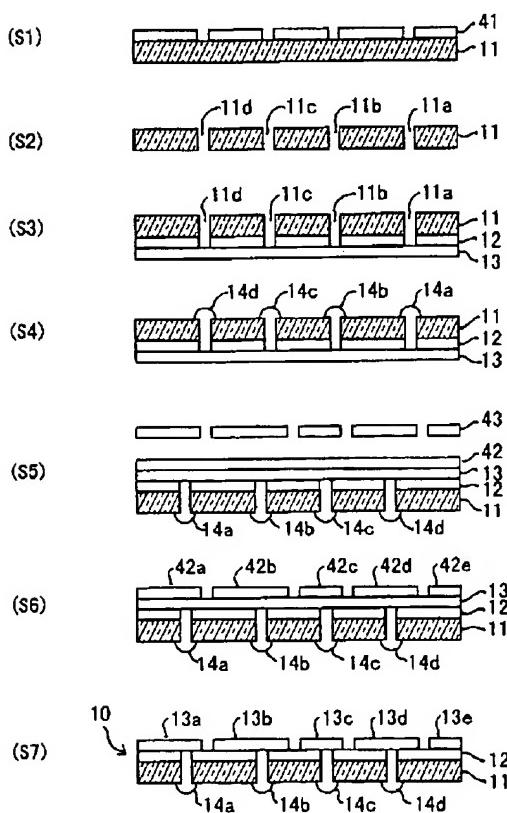
【図1】



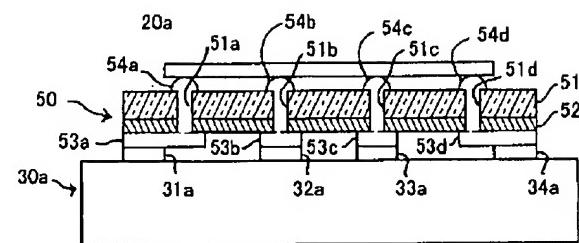
【図10】



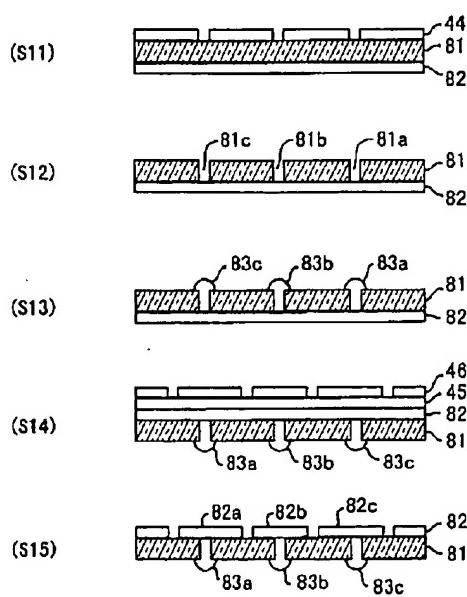
【図2】



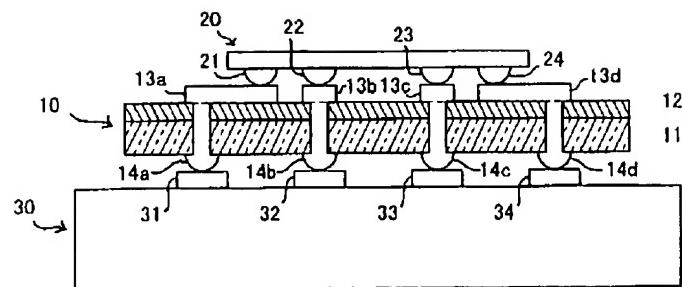
【図4】



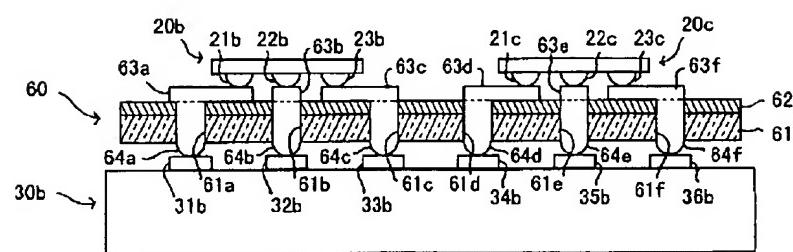
【図7】



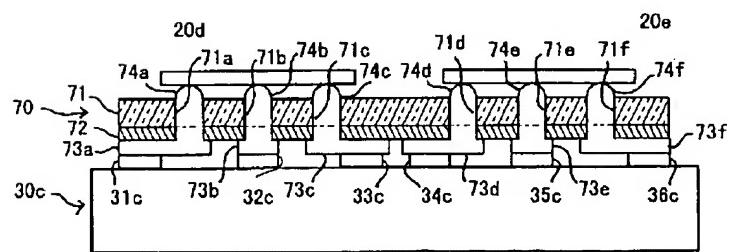
【図3】



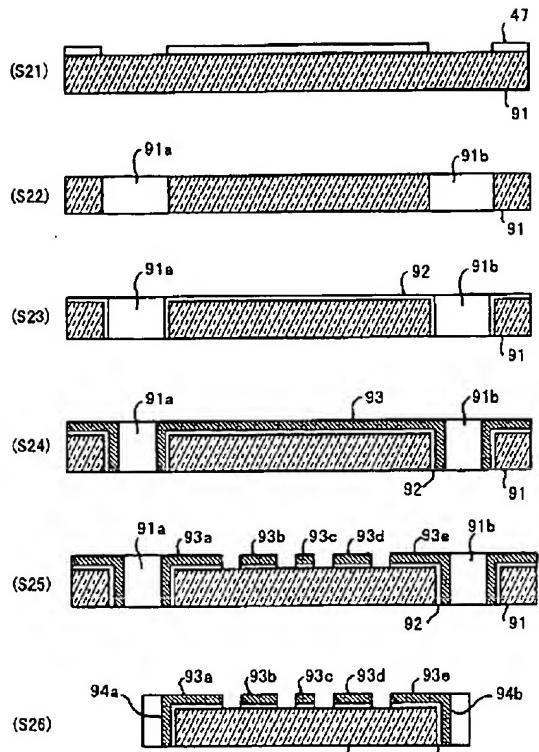
【図5】



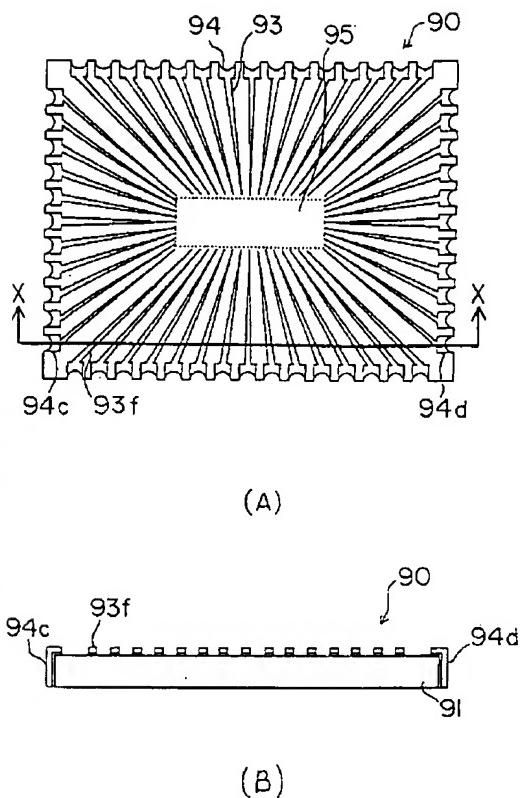
【図6】



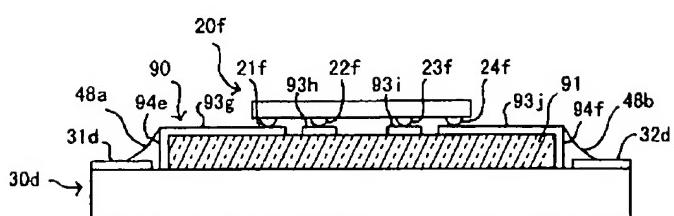
【図8】



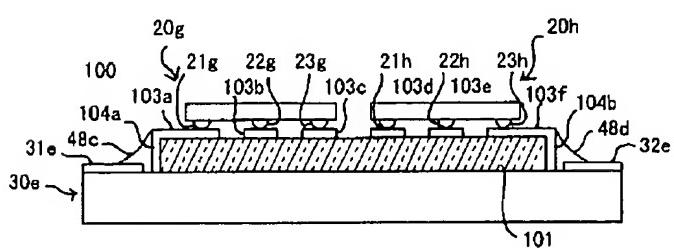
【図9】



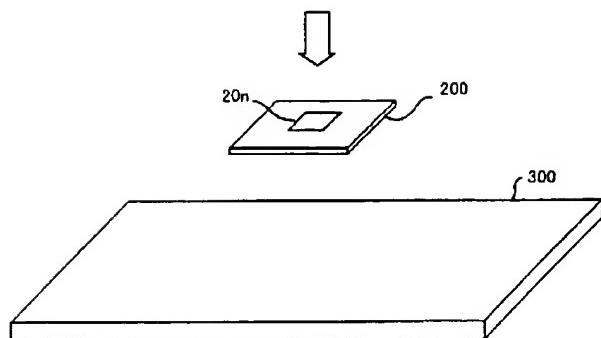
【図11】



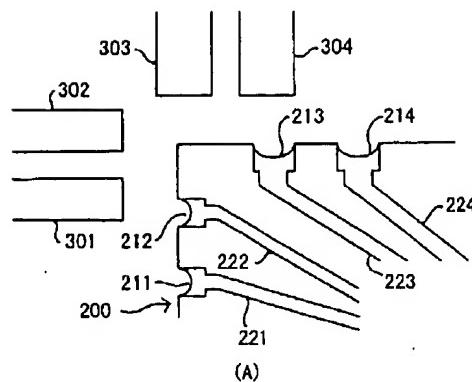
【図12】



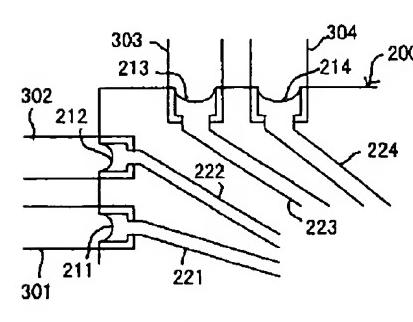
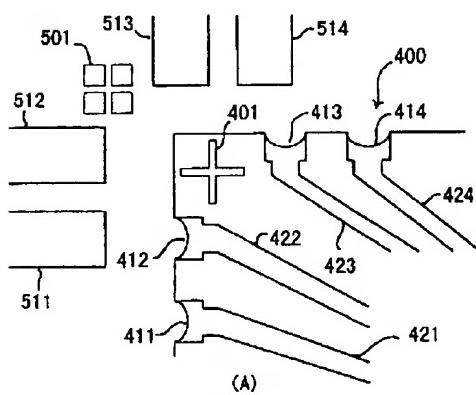
【図13】



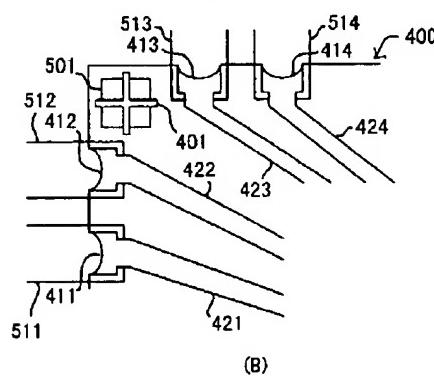
【図14】



【図15】

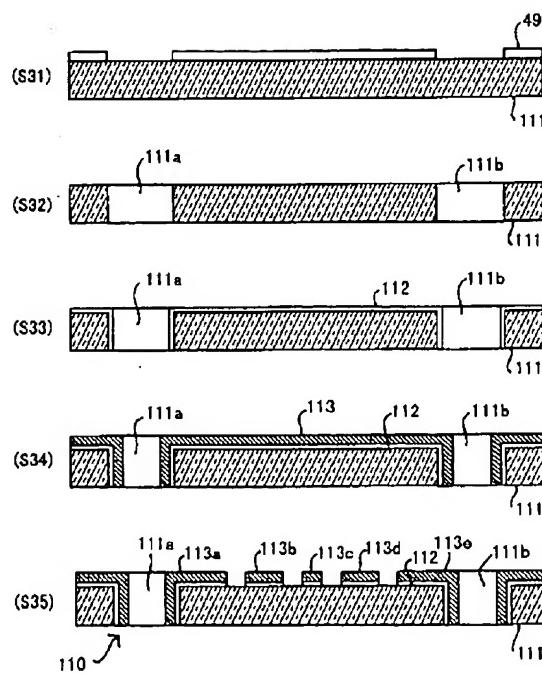


(A)

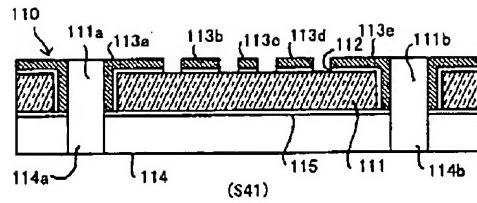


(B)

【図16】

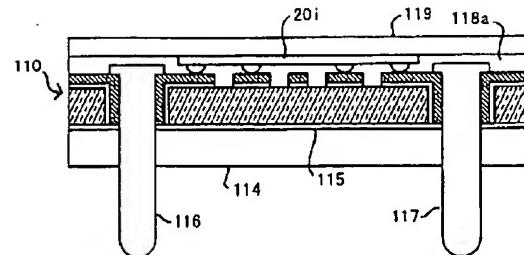


【図17】

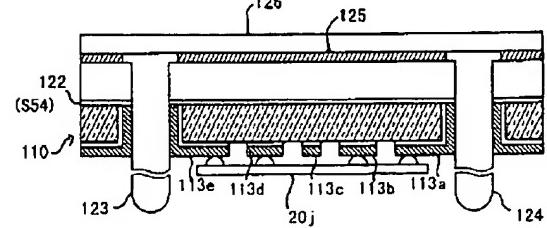
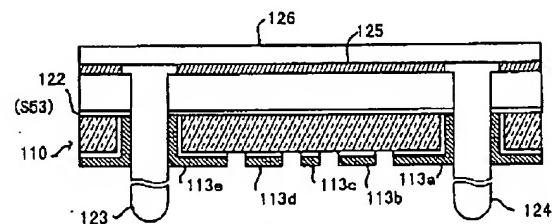
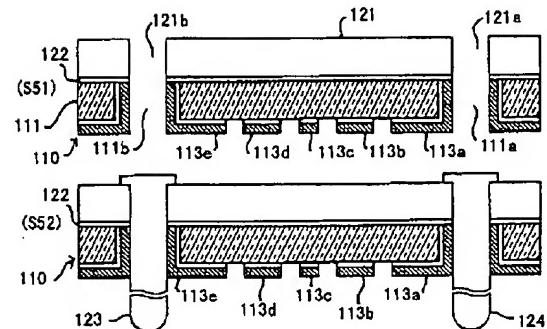


This cross-sectional diagram illustrates a complex semiconductor structure. At the top, a layer 110 is shown above a series of stacked layers. The middle section features a central channel region 111, flanked by two n-type regions 113a and 113b. Above these are two p-type regions 113c and 113d, which are further covered by a p-type region 113e. Contact windows 112 are formed through the top layers to specific regions. Below the main structure, a layer 114 is positioned above a layer 115, which in turn sits on a substrate 116. A contact 117 is shown at the bottom right.

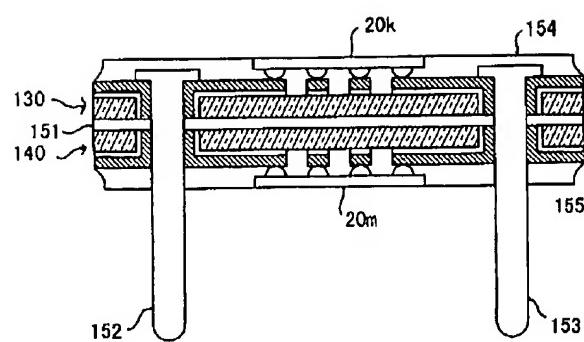
【図18】



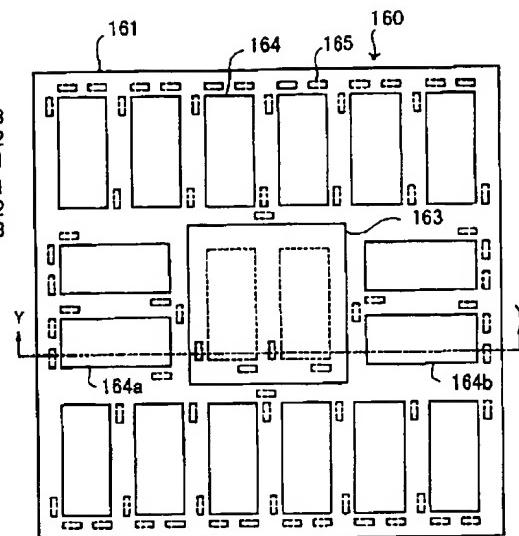
【图19】



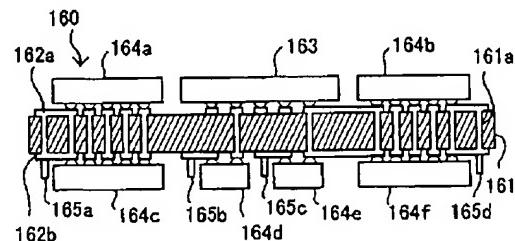
【図20】



【図21】



(A)



(B)

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor connection substrate for connecting a semiconductor chip to a printed circuit board characterized by providing the following. The substrate by which two or more holes were prepared in the position and which consists of a photosensitive glass. the above -- it prepares in a field contrary to the bump formed on the conductive matter buried by the hole, and the field in which the aforementioned bump was formed -- having -- the above -- the wiring which connects electrically two or more end-connection children stationed at the interval of a hole, and a different interval, and the aforementioned conductive matter

[Claim 2] The semiconductor connection substrate characterized by having the wiring which connects electrically two or more end-face end-connection children prepared in the end face of the substrate which consists of a photosensitive glass, and the aforementioned substrate in the semiconductor connection substrate for connecting a semiconductor chip to a printed circuit board, two or more high-density terminals arranged in the position according to the electrode of the aforementioned semiconductor chip of one field of the aforementioned substrate, and the aforementioned end-face end-connection child.

[Claim 3] the substrate in which two or more holes at the interval according to the wiring density of the aforementioned printed circuit board were prepared in the semiconductor connection substrate for connecting a semiconductor chip to a printed circuit board and which consists of a photosensitive glass, two or more high-density terminals arranged in the position according to the electrode of the aforementioned semiconductor chip of one field of the aforementioned substrate, and the above -- the semiconductor connection substrate characterized by to have the wiring which connects the wall of a hole electrically

[Claim 4] In the manufacture method of the semiconductor connection substrate for connecting two or more semiconductor chips to a substrate A film is formed. two or more holes which penetrate the aforementioned photosensitive-glass substrate to the position of a photosensitive-glass substrate by the photolithography -- opening -- one field of the aforementioned photosensitive-glass substrate -- a conductor -- by plating the above -- growing up a conductor until it fills the interior of a hole and rises on the field of the aforementioned photosensitive-glass substrate further -- a bump -- forming -- the above -- a conductor -- a film by carrying out development and etching by the photolithography the above -- the manufacture method of the semiconductor connection substrate characterized by what the wiring which connects electrically two or more end-connection children stationed at the interval of a hole and a different interval and the conductor which forms the aforementioned bump is formed for

[Claim 5] In the manufacture method of the semiconductor connection substrate for connecting a semiconductor chip to a printed circuit board By the photolithography, two or more holes which penetrate the aforementioned photosensitive-glass substrate are opened in the position of a photosensitive-glass substrate. by sputtering one wiring side of the aforementioned photosensitive-glass substrate, and the above -- the wall of a hole -- a conductor -- a film -- forming -- plating -- the above -- a conductor -- a film is grown up -- making -- the above -- a conductor -- a film by carrying out

development and etching by the photolithography two or more high-density terminals arranged on one field of the aforementioned photosensitive-glass substrate at the interval according to the wiring density of the aforementioned semiconductor chip, and the above -- the manufacture method of the semiconductor connection substrate characterized by what the wiring which connects the wall of a hole electrically is formed for

[Claim 6] the above -- the position which becomes the periphery of the aforementioned photosensitive-glass substrate with a single tier in case a hole is opened -- the above -- after opening a hole and forming the aforementioned wiring -- the above -- the manufacture method of the semiconductor connection substrate according to claim 5 characterized by what the aforementioned photosensitive-glass substrate is cut for along the position of a hole

[Claim 7] the above -- the above of a size set by the path of the pin which should be inserted as an object for electrodes when opening a hole -- the manufacture method of the semiconductor connection substrate according to claim 5 characterized by opening a hole

[Claim 8] The bare chip loading board which is characterized by providing the following and on which various semiconductor parts were prepared on the substrate. The substrate by which two or more holes were prepared in the position and which consists of a photosensitive glass. the above -- the conductive matter buried by the hole Wiring which forms an end-connection child on the aforementioned conductive matter in both sides of the aforementioned substrate. Two or more bare chips carried in both sides of the aforementioned substrate by connecting a predetermined electrode to the aforementioned end-connection child.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention relates to the manufacture method of the semiconductor connection substrate for carrying especially the chip of the linear density of your kind consideration in the low printed circuit board of wiring density, and its semiconductor connection substrate, and the bare chip loading board of high density assembly about the manufacture method of the semiconductor connection substrate for carrying semiconductor chips, such as a bare chip, in a printed circuit board, and a semiconductor connection substrate, and a bare chip loading board.

[0002]

[Description of the Prior Art] In order to operate electrically semiconductor chips, such as LSI in the state formed on the silicon wafer where back dicing was carried out, you have to connect the electrode of a chip to wiring of a printed wired board electrically. Then, the case (it is hereafter called a chip package) which is closed while connecting a chip to a leadframe generally and by which the chip was closed is connected to a printed wired board.

[0003] The functions required of this chip package are protection of a chip, establishment of the electrical installation between chip-printed wired boards, and heat leakage. For establishing electrical installation here, you have to carry out minute wiring of chip level to the large wiring which can connect with a printed wired board. That is, it is necessary to expand the pitch of the pin of an electrode and to change wiring density.

[0004] The technology of expanding a pin pitch is widely used by connecting the bonding pad of a chip, and the wiring by the side of a leadframe by wire bonding, and connecting each wiring to a pin with a large interval as a means to expand a pin pitch. However, the bonding pad and the number of pins of a leadframe are increasing in recent years from the increase in I/O (Input/Output) accompanying highly-efficient-izing of a chip. Therefore, in having carried out bondings of the wire one by one to a lot of bonding pads, bonding time will become long in proportion to the number of pads.

[0005] Moreover, a pin pitch also must be narrowed with the formation of many pins of a chip. Therefore, it is becoming difficult gradually to connect a leadframe to a printed wired board, without carrying out simplicity. Since it is above, the method of changing to wire bonding is needed.

[0006] Then, recently, a bump is prepared in the pad of the tip side and the flip-chip-bonding method mounted in the substrate for semiconductor connection by the bump is proposed. According to this method, since wiring of each bump is simultaneously connectable, the increase in the working hours by the number of pads increasing becomes small. Moreover, since many end-connection children per unit area can be taken compared with a wire-bonding method and a bonding pad can be arranged in arbitrary positions, the problem that a pin pitch becomes narrow by many pin-ization can be eased. Furthermore, it leads also to the miniaturization of a package, and densification that many end-connection children per unit area can be taken.

[0007] Moreover, what prepares an end-connection child in the shape of an array (the shape of a grid) like BGA (ball grid array) as technology corresponding to the formation of many pins with the

configuration of a package is being put in practical use. By making an end-connection child into the shape of an array, the limited space can be used efficiently and the miniaturization of a package is advanced further.

[0008]

[Problem(s) to be Solved by the Invention] By the way, progress of the technology of the miniaturization of a semiconductor chip and highly-efficient-izing writes, and the package method which arranges a terminal in in the shape of an array like BGA, and connects in the country is developed as correspondence to the formation of many pins. However, while the further small and light-ization of a device is called for, in order to realize the package which arranges a terminal electrode in in the shape of an array, packaging substrate material with more detailed wiring than the former is needed.

[0009] Moreover, although a ceramic is common as a packaging substrate material of the chip by which present condition high-density wiring is carried out, flat nature becomes large-sized from a low thing or the need for hierarchy wiring, and the technical problem of becoming less cheap etc. occurs.

[0010] Although it is also possible to, connect the chip of the linear density of your kind consideration to a printed wired board by carrying out densification of the wiring of a printed wired board on the other hand, it sets actually and is hard to consider that all the electronic parts mounted in one printed wired board have the linear density of your kind consideration. That is, it is thought that mixed loading with the latus surface mounted device of a pin pitch and the narrow parts of a pin pitch is performed comparatively widely. For example, it is thought that needs that he wants to connect a high performance (linear density of your kind consideration) chip (1-2piece) to the printed wired board of low wiring density comparatively arise. Therefore, it is not practical to use the printed wired board doubled with the narrowest parts of a pin pitch in respect of a manufacturing cost. That is, the chip of the linear density of your kind consideration must be able to be mounted, without making a printed wired board high-density, in order to hold down cost.

[0011] In addition, when the semiconductor connection substrate which can mount the chip of the linear density of your kind consideration is offered, the bare chip loading board using the semiconductor connection substrate can be made. Although this bare chip loading board can carry two or more bare chips and can make them a multi chip module (MCM), since there are many electrode terminals, the number of each bare chip of the wiring for connecting them also increases. When this wiring is arranged on a substrate front face, the area which wiring occupies becomes large and there is a possibility that it may become impossible to attain sufficient miniaturization of a bare chip loading board. And it is so good that the distance of wiring between the electronic parts of a semiconductor chip or others is short in order to high-performance-ize the function of a bare chip loading board. That is, it is necessary to perform efficiently wiring of the chip and electronic parts which are carried.

[0012] as mentioned above, while the method of considering as package technology, such as a bare chip, and corresponding to many pin-ization of a chip, and manufacturing cheaply a substrate joinable also to the printed wired board of low wiring density also to the printed wired board of the linear density of your kind consideration is searched for, wiring the board carrying two or more bare chips efficiently is also called for

[0013] this invention is made in view of such a point, and it aims at offering the cheap semiconductor connection substrate which can connect the semiconductor chip of linear density of your kind consideration, such as a semiconductor chip, and the printed wired board of low wiring density.

[0014] Moreover, in case other purposes of this invention carry out the packaging of the semiconductor chip, they are a comparatively few material and are offering the manufacture method of a semiconductor connection substrate a pin pitch's being expandable at a short process.

[0015] Moreover, another purpose of this invention is offering the bare chip loading board on which wiring during a chip was performed in a very short distance.

[0016]

[Means for Solving the Problem] In the semiconductor connection substrate for connecting a semiconductor chip to a printed circuit board, in order to solve the above-mentioned technical problem in this invention The substrate by which two or more holes were prepared in the position and which

consists of a photosensitive glass, the above -- it prepares in a field contrary to the bump formed on the conductive matter buried by the hole, and the field in which the aforementioned bump was formed -- having -- the above -- with the wiring which connects electrically two or more end-connection children stationed at the interval of a hole, and a different interval, and the aforementioned conductive matter The semiconductor connection substrate characterized by ****(ing) is offered.

[0017] Since such a semiconductor connection substrate of composition is photosensitivity while smooth nature with a high front face is obtained and high-density wiring is attained, since the photosensitive glass is used as a substrate, it can open a detailed hole with high density by the photolithography. Therefore, if it is the case where the semiconductor chip which has a bump is connected to a printed wired board, the semiconductor chip can be connected to the end-connection child stationed with high density on a semiconductor connection substrate, and the bump prepared in the semiconductor connection substrate at intervals of latus can be connected to the electrode of a printed wired board. Thereby, wiring of the semiconductor chip of the linear density of your kind consideration and wiring of the printed wired board of low wiring density are connected electrically.

[0018] Moreover, a semiconductor chip is set to the manufacture method of the semiconductor connection substrate for connecting with a printed circuit board. By the photolithography, two or more holes which penetrate the aforementioned photosensitive-glass substrate are opened in the position of a photosensitive-glass substrate. The interior of a hole is filled. one field of the aforementioned photosensitive-glass substrate -- a conductor -- a film -- forming -- plating -- the above -- growing up a conductor until it furthermore rises on the field of the aforementioned photosensitive-glass substrate -- a bump -- forming -- the above -- a conductor -- a film by carrying out development and etching by the photolithography the above -- the manufacture method of the semiconductor connection substrate characterized by what the wiring which connects electrically two or more end-connection children stationed at the interval of a hole and a different interval and the conductor which forms the aforementioned bump is formed for is offered

[0019] By such manufacture method of a semiconductor connection substrate, the cheap semiconductor connection substrate which can connect the semiconductor chip of linear density of your kind consideration, such as a semiconductor chip, and the printed wired board of low wiring density can be manufactured.

[0020] Moreover, it sets on the bare chip loading board on which various semiconductor parts were prepared on the substrate. In the conductive matter buried by the hole and both sides of the aforementioned substrate the substrate by which two or more holes were prepared in the position and which consists of a photosensitive glass, and the above -- The bare chip loading board characterized by having the wiring which forms an end-connection child on the aforementioned conductive matter, and two or more bare chips carried in both sides of the aforementioned substrate by connecting a predetermined electrode to the aforementioned end-connection child is offered.

[0021] According to such a bare chip loading board, the predetermined electrodes of two or more carried bare chips are electrically connected through the conductive matter prepared in the hole of a substrate. Consequently, while wiring of chips is performed in three dimensions, it is connected in a very short distance.

[0022]

[Embodiments of the Invention] Hereafter, the form of operation of this invention is explained based on a drawing. Drawing 1 is drawing showing the semiconductor connection substrate of this invention. This semiconductor connection substrate 10 is for connecting a bare chip 20 to the inside bottom of drawing, and connecting a printed wired board 30 to the inside bottom of drawing.

[0023] The photosensitive-glass substrate 11 which has chemical-machining nature as a substrate used as a foundation is used for the semiconductor connection substrate 10. The holes 11a-11d of the same number as the bumps 21-24 of a bare chip 20 are opened in the photosensitive-glass substrate 11. These holes 11a-11d have penetrated the photosensitive-glass substrate 11. each -- the Holes [11a-11d] position corresponds with the position of the electrodes 31-34 of the printed wired board 30 which should connect, sets an interval large enough and is prepared

[0024] The wiring 13a-13d with which it *****ed to the circuit pattern has pasted the upper surface of the photosensitive-glass substrate 11 with adhesives 12. Wiring 13a-13d corresponds to 1 to 1 with the bumps 21-24 of a bare chip 20, respectively. And in case Wiring 13a-13d connects a bare chip 20, it has connected electrically between the position and Holes 11a-11d to which bumps 21-24 should be connected.

[0025] each -- a hole -- the interior of 11a-11d is filled with the conductor prepared by plating -- having -- **** -- further -- the -- Bumps 14a-14d are formed previously If it is such a semiconductor connection substrate 10, the bumps 21-24 of a bare chip 20 can be connected to the wiring 13a-13d of the field of the top in drawing, and the electrodes 31-34 of a printed wired board 30 can be connected to the bumps 14a-14d of the field of the bottom in drawing. Thereby, 31-34 are electrically connectable with the bumps 21-24 of the bare chip 20 of high-density wiring, and the electrode by the side of the printed wired board 30 with a large interval.

[0026] Next, the manufacture method of the semiconductor connection substrate 10 shown in drawing 1 is explained. Drawing 2 is drawing showing the manufacturing process of the semiconductor connection substrate 10. In addition, in the following explanation, the field in which a bump is prepared is used as a "front face", and let the field in which wiring is formed be a "rear face."

[S1] The mask 41 for beer halls is formed in the rear face of the photosensitive-glass substrate 11, and the photosensitive-glass substrate 11 is exposed from on the.

[0027] A Li₂O-aluminum₂O₃-SiO₂ system (Au, Ce) chemical-machining nature photosensitive glass is used for the photosensitive-glass substrate 11. Moreover, the field of the both sides of the photosensitive-glass substrate 11 has sufficient smooth nature. And an Hg-Xe lamp is used for exposure processing, and light with the lamp is irradiated for 20 seconds. Subsequently, a development is performed.

[S2] Beer halls 11a-11d are formed in the photosensitive-glass substrate 11 as a result of processing by Step S1. These beer halls 11a-11d are holes which penetrate the photosensitive-glass substrate 11, and only the same number as the number of the electrodes of the bare chip which should be connected is prepared. Moreover, a beer halls [11a-11d] position is a position which should be made to agree with the electrode by the side of a printed wired board. Therefore, it is prepared at the interval of the same grade as the wiring density of a printed wired board.

[S3] -- the rear face of the photosensitive-glass substrate 11 in which beer halls 11a-11d were formed -- adhesives 12 -- applying -- a conductor -- a film 13 is stuck

[S4] While growing up a conductor into beer hall 11a - 11d by plating, Bumps 14a-14d are formed.

[0028] In case it plates, the adhesion of the metal plated can be raised by forming the layer of adhesives in a beer halls [11a-11d] wall, and performing upper shell plating processing of the layer of adhesives. And plating is enough grown up so that the plating processing in this case may be projected rather than the front face of the photosensitive-glass substrate 11. Thereby, while beer halls 11a-11d are blockaded by the conductor, Bumps 14a-14d are formed in the point.

[S5] -- a conductor -- a photoresist 42 is applied on a film 13 and it exposes with the mask 43 for circuit patterns

[S6] A photoresist 42 is developed and the exposed portion is removed. furthermore, the conductor of the portion which is not covered by Photoresists 42a-42e by *****ing -- a film 13 is removed

[S7] -- the development of Step S6, and processing of etching -- a conductor -- patterning of the film 13 is carried out and Wiring 13a-13e is formed And the front face of Wiring 13a-13e is plated if needed, and a protective layer (nickel/Au) is formed. These wiring 13a-13e has connected the electrode for connecting with the bump of a bare chip, and the bumps 14a-14d for connecting with a printed wired board by 1 to 1.

[0029] A bare chip is connected to a printed wired board using the semiconductor connection substrate 10 manufactured as mentioned above. Drawing 3 is drawing showing the 1st example of the printed wired board in which the bare chip was carried using the semiconductor connection substrate 10 of this invention. Bumps 21-24 are formed on the pad for the electrodes of a bare chip 20. Bumps 21-24 are connected to the wiring 13a-13d of the semiconductor connection substrate 10, respectively. On the

other hand, the electrodes 31-34 for connecting with the electrode of a bare chip electrically are formed in the upper surface of a printed wired board 30, and these electrodes 31-34 and the bumps 14a-14d of the semiconductor connection substrate 10 are connected. Thereby, the bumps 21-24 of a bare chip 20 and the electrodes 31-34 of a printed wired board 30 are connected electrically.

[0030] Drawing 4 is drawing showing the 2nd example of the printed wired board in which the bare chip was carried using the semiconductor connection substrate of this invention. This is an example in case the bump is not formed in the pad for the electrodes of a bare chip.

[0031] In the semiconductor connection substrate 50 shown in this example, the beer halls 51a-51d of the photosensitive-glass substrate 51 are established in the position which should agree with the pad of bare chip 20a. and the inside of the beer hall 51a-51d -- a conductor -- it buried upwards by the matter and the bump is formed On the other hand, the wiring 53a-53d stuck by adhesives 52 has connected the beer halls [51a-51d] position and the position which should agree in the electrodes 31a, 32a, 33a, and 34a of printed wired board 30a.

[0032] And the bumps 54a-54d of the semiconductor connection substrate 50 and the pad for the electrodes of bare chip 20a are connected, and the wiring 53a-53d by the side of reverse and the electrodes 31a, 32a, 33a, and 34a of printed wired board 30a are connected. Thus, bare chip 20a by which the bump is not prepared in the pad for electrodes can be mounted in printed wired board 30a.

[0033] Drawing 5 is drawing showing the 3rd example of the printed wired board in which the bare chip was carried using the semiconductor connection substrate of this invention. This is an example in the case of connecting two or more bare chips to a printed wired board, and considering as a multi chip module.

[0034] The beer halls 61a-61f corresponding to the number of electrodes of two bare chips 20b and 20c are established in the photosensitive-glass substrate 61 of the semiconductor connection substrate 60 shown in this example, and Bumps 64a-64f are formed at the nose of cam of the conductor which filled the inside of beer hall 61a-61f. A beer halls [61a-61f] position is a position which should agree with the electrodes 31b, 32b, 33b, 34b, 35b, and 36b of printed wired board 30b. The wiring 63a-63f stuck on the photosensitive-glass substrate 61 by adhesives 62 is divided into the wiring 63a-63c for bare chip 20b, and the wiring 63d-63f for bare chip 20c. The wiring 63a-63c for bare chip 20b has connected the position where the bumps 21b, 22b, and 23b of bare chip 20b should agree, and the position of beer halls 61a-61c. On the other hand, the wiring 63d-63f for bare chip 20c has connected the position and the beer halls [61d-61f] position where the bumps 21c, 22c, and 23c of bare chip 20c should agree.

[0035] The bumps 21b, 22b, and 23b of bare chip 20b are connected to the wiring 63a-63c of such a semiconductor connection substrate 60, and the bumps 21c, 22c, and 23c of bare chip 20c are connected to Wiring 63d-63f. And the bumps 64a-64f prepared in the semiconductor connection substrate 60 are connected to the electrodes 31b, 32b, 33b, 34b, 35b, and 36b of printed wired board 30b. Thereby, two or more bare chips 20b and 20c are carried in printed wired board 30b.

[0036] Drawing 6 is drawing showing the 4th example of the printed wired board in which the bare chip was carried using the semiconductor connection substrate of this invention. This is an example in the case of carrying two or more bare chips 20d and 20e without a bump in printed wired board 30c, and considering as a multi chip module.

[0037] The beer halls 71a-71f corresponding to the number of electrodes of two bare chips 20d and 20e are established in the photosensitive-glass substrate 71 of the semiconductor connection substrate 70 shown in this example, and Bumps 74a-74f are formed at the nose of cam of the conductor which filled the inside of beer hall 71a-71f. Beer halls [71a-71f] positions are the position of the pad for the electrodes of bare chips 20d and 20e, and a position which should agree. The wiring 73a-73f stuck by adhesives 72 has connected to the photosensitive-glass substrate 71 the position and the beer halls [71a-71f] position which should agree with the electrodes 31c, 32c, 33c, 34c, 35c, and 36c of printed wired board 30c.

[0038] The wiring 73a-73f of such a semiconductor connection substrate 70 is connected to the electrodes 31c, 32c, 33c, 34c, 35c, and 36c of printed wired board 30c. Moreover, the bumps 74a-74c prepared in the semiconductor connection substrate 70 are connected to the bare chip 20d pad for

electrodes, and Bumps 74d-74f are connected to the pad for electrodes of bare chip 20e. Thereby, two or more bare chips 20d and 20e with which the bump is not prepared in a pad are carried in printed wired board 30c.

[0039] As mentioned above, the following effects are acquired by connecting a bare chip to a printed wired board using the semiconductor connection substrate of this invention. Even if the number of electrodes of a chip increases the 1st effect, there are few kinds of material which there is no bird clapper for a long time [the time which connection of a semiconductor chip takes], and is moreover used for a semiconductor connection substrate, material with a still cheaper photosensitive glass etc. is used, and connection between the semiconductor chip of linear density of your kind consideration, such as a semiconductor chip, and the printed wired board of low wiring density is with a bird clapper possible.

[0040] Since the 2nd effect is not performing wirebonding when connecting a semiconductor connection substrate and a bare chip, it is being able to make Bud for the electrodes of a bare chip small.

Consequently, it becomes possible to make chip area small.

[0041] The 3rd effect is that arrangement of a pad is made in arbitrary places. Consequently, the restrictions matter at the time of designing the circuit of a chip is eased, and the flexibility of a design increases. The 4th effect is being able to increase the number of end-connection children per unit area by making Bud for the electrodes of a bare chip small, and arranging the pad in arbitrary positions.

[0042] The 5th effect is being able to connect also with a chip with a bump, or a chip without a bump. The 6th effect is being able to determine freely the wiring pitch of the semiconductor connection substrate of this invention in accordance with the wiring pitch of a printed wired board. That is, since the wiring pitch of the present printed wired board is a 300-500-micron pitch grade, in case it connects with such a printed wired board, it can also expand wiring to the same wiring pitch. On the other hand, if it is a high-density printed wired board, it can also be made the detailed wiring pitch doubled with it.

[0043] Since the permeability of light is high, the 7th effect is that the adhesives of a photoresist are usable, while having moderate intensity, since the material of a substrate is not the film of an organic resin.

[0044] These effects are the same also in other semiconductor connection substrates explained below. by the way, the conductor after establishing a beer hall in a photosensitive-glass substrate by the method shown in drawing 2 -- although the film is stuck -- a conductor -- a film can also manufacture a semiconductor connection substrate using a photosensitive-glass substrate [finishing / formation] Below, the manufacture method is explained.

[0045] drawing 7 -- a conductor -- it is drawing showing the manufacturing process of the semiconductor connection substrate at the time of using a photosensitive-glass substrate [finishing / formation of a film].

[S11] -- smooth nature with a sufficient front face -- having -- **** -- a rear face -- a conductor -- the mask 44 for beer halls is formed in the front face of the photosensitive-glass substrate 81 in which the film 82 was formed, the photosensitive-glass substrate 81 is exposed from on the, and, subsequently a development is performed

[S12] Beer halls 81a-81c are formed in the photosensitive-glass substrate 81 as a result of processing by Step S11. These beer halls 81a-81c are holes which penetrate the photosensitive-glass substrate 81, and only the same number as the number of the electrodes of the bare chip which should be connected is prepared. Moreover, the position of beer halls 81a-81c is a position which should be made to agree with the electrode by the side of a printed wired board. in addition, the rear-face side of beer halls 81a-81c -- a conductor -- it is covered by the film 82

[S13] While growing up a conductor into beer hall 81a - 81c by plating, Bumps 83a-83c are formed.

[S14] A photoresist 45 is applied to a rear face and it exposes with the mask 46 for circuit patterns. subsequently, the conductor of the portion which is not covered by the photoresist 45 by developing a photoresist 45 and *****ing further -- a film is removed

[S15] -- the development of Step S14, and processing of etching -- a conductor -- patterning of the film 82 is carried out and Wiring 82a-82c is formed The front face of Wiring 82a-82c is plated if needed, and

a protective layer (nickel/Au) is formed.

[0046] thus, a conductor -- a film can create the semiconductor connection substrate of this invention from a photosensitive-glass substrate [finishing / formation] According to this method, a process can be made fewer than the method shown in drawing 2. In addition, the form at the time of carrying a bare chip in a printed wired board using this semiconductor connection substrate is the same as that of what was shown in drawing 3 - drawing 6.

[0047] Although the terminal for connecting with a printed wired board is prepared on one field in the semiconductor connection substrate explained so far, an end-connection child can also be prepared in the end face of a substrate. The example is shown below.

[0048] Drawing 8 is drawing showing the manufacturing process of a semiconductor connection substrate which prepared the end-connection child with a printed wired board in the substrate end face.

[S21] The beer hall of a single tier is formed in the periphery section using a photolithography to the photosensitive-glass substrate 91 of a chemical-machining nature photosensitive glass thin (1mm or less) enough. Specifically, the mask 47 for beer halls is formed in the upper surface of the photosensitive-glass substrate 91, the photosensitive-glass substrate 91 is exposed from on the, and, subsequently a development is performed.

[S22] Beer halls 91a and 91b are formed in the photosensitive-glass substrate 91 as a result of processing by Step S21. These beer halls 91a and 91b are holes which penetrate the photosensitive-glass substrate 91, and only the same number as the number of the electrodes of the bare chip which should be connected is prepared in the single tier along with the periphery.

[S23] -- the rear face of the photosensitive-glass substrate 91 in which beer halls 91a and 91b were formed -- sputtering -- a conductor -- a film 92 is formed this conductor -- a film 92 is formed in the rear face of the photosensitive-glass substrate 91, and the wall of beer halls 91a and 91b

[S24] -- plating -- a conductor -- a film 92 is grown up the conductor formed by sputtering by this -- a conductor new on a film 92 -- a film 93 is formed and sufficient thickness is obtained

[S25] -- the formed conductor -- films 92 and 93 are developed negatives and *****ed with lithography Thereby, Wiring 93a-93e is formed. It plates in the front face of Wiring 93a-93e, and a protective layer (nickel/Au) is formed.

[S26] The photosensitive-glass substrate 91 is cut along the beer halls 91a and 91b established in the periphery in line. Thereby, the portion in which beer halls 91a and 91b were formed serves as the end-connection children 94a and 94b.

[0049] Drawing 9 is drawing showing the semiconductor connection substrate which has an end-connection child in a substrate end face. (A) is a plan. As for this semiconductor connection substrate 90, the end-connection child 94 is formed in accordance with the side. Each end-connection child 94 is connected by 1 to 1 by wiring 93 with the end-connection child for the bare chips of the bare chip loading field 95.

[0050] (B) is the X-X line cross section of (A). The end-connection children 94c and 94d are formed in the side of the photosensitive-glass substrate 91, and 93f of wiring is formed in the upper surface.

[0051] Drawing 10 is an end-connection child's enlarged view formed in the substrate end face. The end-connection child 94 is formed in the side of the photosensitive-glass substrate 91, and since the basis was a field which forms the wall of a beer hall, the front face serves as a configuration of the inside of a pillar. And it connects electrically with the end-connection child for bare chips with wiring 93.

[0052] Drawing 11 is drawing showing the 1st example of the printed wired board which carried the bare chip in the end face using the semiconductor connection substrate which has an end-connection child. The end-connection children 31d and 32d are formed in the circumference of the position where the semiconductor connection substrate 90 has been arranged at 30d of printed wired boards.

[0053] Bare chip 20f is connected to the upper surface of the semiconductor connection substrate 90. On the other hand, the end-connection children 94e and 94f prepared in the end face of the photosensitive-glass substrate 91 are connected to the end-connection children 31d and 32d by the side of 30d of printed wired boards by charges 48a and 48b of a conductive binder like solder. Moreover, the end-connection children 94e and 94f are connected with the bare chip 20f bumps 21f and 24f, respectively

by the wiring 93g and 93j formed in the upper surface of the photosensitive-glass substrate 91. In addition, the bare chip 20f bumps 22f and 23f are connected to Wiring 93h and 93i, and these wiring 93h and 93i is connected to the end-connection child by whom 30d side of printed wired boards is not illustrated through the end-connection child by whom the end face of the photosensitive-glass substrate 91 is not illustrated.

[0054] Drawing 12 is drawing showing the 2nd example of the printed wired board which carried the bare chip in the end face using the semiconductor connection substrate which has an end-connection child. This is an example at the time of carrying two or more bare chips in a semiconductor connection substrate. As for printed wired board 30e, the end-connection children 31e and 32e are formed in the circumference of the position where the semiconductor connection substrate 101 has been arranged.

[0055] Two bare chips 20g and 20h are connected to the upper surface of the semiconductor connection substrate 100. The end-connection children 104a and 104b prepared in the end face of the photosensitive-glass substrate 101 are connected to the end-connection children 31e and 32e by the side of printed wired board 30e by charges 48c and 48d of a conductive binder like solder. Moreover, the end-connection children 104a and 104b are connected to the each bare chips [20g and 20h] bumps 21g and 23h by the wiring 103a and 103f formed in the upper surface of the photosensitive-glass substrate 101. In addition, the bare chips [20g and 21h] bumps 22g, 23g, 21h, and 22h are connected to Wiring 103b-103e, and these wiring 103b-103e is connected to the end-connection child by whom the printed wired board 30e side is not illustrated through the end-connection child by whom the end face of the photosensitive-glass substrate 101 is not illustrated.

[0056] Thus, a bare chip can be carried in a printed wired board using the semiconductor connection substrate which prepared the end-connection child in the substrate end face. If an end-connection child is prepared in a substrate end face, while being able to miniaturize a semiconductor connection substrate, it can mount on a printed wired board easily using the technology established from the former like solder.

[0057] Here, in mounting the semiconductor connection substrate which prepared the end-connection child in the substrate end face in a printed wired board, there is the need of making in agreement correctly an end-connection child's position and the position of the terminal by the side of a printed wired board (alignment being carried out). Then, alignment can be made easy to perform by using a transparent photosensitive glass for the material of a substrate.

[0058] Drawing 13 is drawing showing the position check direction at the time of connecting the semiconductor connection substrate and printed wired board using the transparent photosensitive glass. The photosensitive glass with the transparent semiconductor connection substrate 200 is used, and bare chip 20n is connected to the upper surface. In case this semiconductor connection substrate 200 is carried in a printed wired board 300, the position of the semiconductor connection substrate 200 is checked by looking from the upper part (direction shown by the arrow among drawing) of the semiconductor connection substrate 200.

[0059] Drawing 14 is drawing showing the spectacle checked by looking at the time of alignment. (A) is drawing showing the state before making the semiconductor connection substrate 200 approach the target position. The end-connection children 211-214 are formed in the end face of the semiconductor connection substrate 200, and each end-connection children 211-214 are electrically connected with the terminal of a bare chip by wiring 221-224. The wiring 301-304 for connecting with a bare chip is formed in the printed wired board side. And in this example, the end-connection children 211-214 shall be connected to wiring 301-304, respectively.

[0060] (B) is drawing showing the state where the semiconductor connection substrate 200 was made to approach the target position. Since the semiconductor connection substrate 200 is made from the transparent photosensitive-glass substrate, it can try to space a lower printed wired board except the field in which wiring 221-224 is formed. Therefore, the wiring 301-304 formed on the printed wired board can also be checked enough by looking, and can carry out alignment easily.

[0061] When on the other hand still more exact alignment is needed, or when the image analysis using the computer performs alignment, it is convenient to prepare the mark (for it to be hereafter called an alignment mark) of alignment.

[0062] Drawing 15 is drawing showing the alignment situation at the time of preparing an alignment mark. (A) is drawing showing the state before making the semiconductor connection substrate 400 approach the target position. The end-connection children 411-414 are formed in the end face of the semiconductor connection substrate 400, and each end-connection children 411-414 are electrically connected with the terminal of a bare chip by wiring 421-424. Furthermore, the mark 401 cross-joint type [for alignment] is formed in the angle of the semiconductor connection substrate 400. The wiring 511-514 for connecting with a bare chip is formed in the printed wired board side. Furthermore, the formal mark 501 which put four squares for alignment in order is formed also in the printed wired board side. And in this example, the end-connection children 411-414 shall be connected to wiring 511-514, respectively.

[0063] (B) is drawing showing the state where the semiconductor connection substrate 400 was made to approach the target position. In case alignment is carried out, the configuration of the cross joint of the mark 401 by the side of the semiconductor connection substrate 400 adjusts so that it may be in agreement between the squares of the mark 501 by the side of a printed wired board. Since the semiconductor connection substrate 400 is transparent, where the semiconductor connection substrate 400 is piled up on a printed wired board, ** which checks 401,501 by looking can do both marks. Therefore, the semiconductor connection substrate 400 can be arranged in an exact position.

[0064] By the way, the ping lid form is taken with many latest chip packages. Then, the end-connection child by the side of the semiconductor connection substrate for connecting with a printed wired board is explained below about the case where it is made a ping lid form.

[0065] Drawing 16 is drawing showing the manufacturing process of the semiconductor connection substrate which makes an end-connection child with a printed wired board a ping lid form.

[S31] The beer hall of a single tier is formed in the periphery section using a photolithography to the photosensitive-glass substrate 111 of a chemical-machining nature photosensitive glass thin (1mm or less) enough. Specifically, the mask 49 for beer halls is formed in the upper surface of the photosensitive-glass substrate 111, and the photosensitive-glass substrate 111 is exposed from on the. Subsequently, a development is performed.

[S32] Beer halls 111a and 111b are formed in the photosensitive-glass substrate 111 as a result of processing by Step S31. These beer halls 111a and 111b are holes which penetrate the photosensitive-glass substrate 111, and only the same number as the number of the electrodes of the bare chip which should be connected is prepared in the single tier along with the periphery.

[S33] -- the rear face (upper surface in drawing) of the photosensitive-glass substrate 111 in which beer halls 111a and 111b were formed -- sputtering -- a conductor -- a film 112 is formed this conductor -- a film 112 is formed in the rear face of the photosensitive-glass substrate 111, and the wall of beer halls 111a and 111b

[S34] -- plating -- a conductor -- a film 112 is grown up the conductor formed by sputtering by this -- a conductor new on a film 112 -- a film 113 is formed and sufficient thickness is obtained

[S35] -- the formed conductor -- a film 112,113 is developed negatives and *****ed with lithography Thereby, Wiring 113a-113e is formed. the conductor of the beer hall wall of the end-connection child who should connect these wiring 113a-113e to the electrode of a bare chip, and the periphery section -- the film is connected to 1 to 1 Therefore, the semiconductor connection substrate which has an end-connection child with a printed wired board can be obtained by making each beer halls 111a and 111b penetrate a conductive pin. Here, as a form which a bare chip is connected [form] to this semiconductor connection substrate, and makes a pin penetrate, two or more forms can be considered by the direction which makes a conductive pin penetrate, and the connection direction of a bare chip.

[0066] Drawing 17 is drawing showing the example in the case of connecting a bare chip to an opposite side a pin projection side.

[S41] The charge 115 of an insulating binder is used for a field contrary to the field in which the wiring 113a-113e of the semiconductor connection substrate 110 was formed, and the substrate reinforcing materials 114 are pasted up. Holes 114a and 114b are opened in the position which laps with beer halls 111a and 111b, and the hole penetrated in the position of beer halls 111a and 111b is secured to this

substrate reinforcing materials 114.

[S42] The pin 116,117 for wiring is inserted to beer halls 111a and 111b from the field in which the wiring 113a-113e of the semiconductor connection substrate 110 was formed.

[S43] Connection sushi, and the bare chip 20i and the pin 116,117 for wiring are fixed to the field in which Wiring 113a-113e was formed for bare chip 20i with the insulating adhesives 118. This becomes the chip package which has the end-connection child of a ping lid form.

[0067] Moreover, in the process of Step S43 of drawing 17, you may form a lid in the bare chip 20i upper part. Drawing 18 is drawing showing the example at the time of closing a bare chip with a lid. After the process of Step S41 of drawing 17, and Step S42, this example connects bare chip 20i, puts a lid 119 on it and is fixing it by insulating adhesives 118a.

[0068] Next, the case where the pin for wiring is inserted from a direction contrary to the above-mentioned example is explained. Drawing 19 is drawing showing the example in the case of connecting a bare chip to the same field as a pin projection side.

[S51] The insulating adhesives 122 are used for a field contrary to the field in which the wiring 113a-113e of the semiconductor connection substrate 110 was formed, and the substrate reinforcing materials 121 are pasted up. Holes 121a and 121b are opened in the position which laps with beer halls 111a and 111b, and the hole penetrated in the position of beer halls 111a and 111b is secured to this substrate reinforcing materials 121.

[S52] The pin 123,124 for wiring is inserted to beer halls 111a and 111b from the direction in which the substrate reinforcing materials 121 were formed.

[S53] The lid 126 for pressing down a pin on the substrate reinforcing materials 121 is pasted up with the insulating adhesives 125.

[S54] Bare chip 20j is connected to the field in which Wiring 113a-113e was formed. Thereby, it is equipped with a bare chip in the same direction as the salient direction of the pin for wiring.

[0069] Thus, you may insert the pin for wiring from which field of the substrate for semiconductor connection. Then, it is also possible by piling up two substrates for semiconductor connection to connect a bare chip to both fields and to consider as multichip composition.

[0070] Drawing 20 is drawing showing the example at the time of piling up the substrate for semiconductor connection and considering as multichip composition. In this example, two substrates 130,140 for semiconductor connection are used. these semiconductor connection substrates 130,140 -- respectively -- a photosensitive-glass 131,141 top -- a conductor -- a film 132,142 forms membranes -- having -- a it top -- further -- a conductor -- the film 133,143 is formed these conductors -- the film forms wiring by developing [negatives] and *****ing with lithography

[0071] The fields by the side of the reverse of the field in which wiring of both sides was formed have pasted up two substrates 130,140 for semiconductor connection on both sides of the insulating substrate 151. Bare chips 20k and 20m are connected to each wiring.

[0072] And the pin 152,153 for wiring is inserted from the direction of the substrate 130 for semiconductor connection. The circumference of this pin 152,153 for wiring and bare chip 20k is hardened with the insulating adhesives 154. The bare chip 20l. circumference is similarly hardened with the insulating adhesives 155.

[0073] Thus, size of the chip package of multichip composition can be made small by sticking two substrates for semiconductor connection. In addition, although double-sided wiring is connected in the example of drawing 20 only in the position in which the pin 152,153 for wiring was formed, if the hole for wiring is prepared also in the other position, the electrodes of a double-sided chip are connectable by the curtate distance. If it is made such composition, the bare chip loading board on which various chips were mounted very with high density will be obtained. The example of this bare chip loading board is shown below.

[0074] Drawing 21 is drawing showing the bare chip loading board of high density assembly. (A) is a plan and (B) is the Y-Y cross section of (A). With this bare chip loading board 160, Wiring 162a and 162b is formed in both sides of the photosensitive-glass substrate 161 by lithography. moreover, many holes (beer hall) for connecting electrically the double-sided wiring 162a and 162b to the photosensitive-

glass substrate 161 -- 161a is opened this hole -- 161a is prepared in the position to which the position of a double-sided electrode terminal is mainly connected linearly. The interior which is hole 161a is filled with the conductive matter. The double-sided wiring wiring 162a and 162b is mutually connected electrically by connecting this conductive matter and the double-sided wiring 162a and 162b.

[0075] And the bare chip of CPU chip 163 and memory chip 164 grade and the electronic parts of chip-capacitor 165 grade are carried in both sides of the photosensitive-glass substrate 161. CPU chip 163 and some memory chips 164a and 164b are carried in the front face, and other memory chips 164c-164f and chip capacitors 165a-165d are carried in the rear face. The predetermined electrode of these bare chips and electronic parts is connected to the electrode terminal on the hole of the photosensitive-glass substrate 161.

[0076] Thereby, the electrode of the chip carried in the front face and the electrode of the chip carried in the rear face are connectable by the curtate distance. Since the thickness of the photosensitive-glass substrate 161 is about 0.7-1.0mm, its length of wiring is also of the same grade. And the limit frame that wiring between chips is restricted on one flat surface can be removed, and wiring of the direction of a flat surface and vertical wiring can be combined. Therefore, while being able to advance the miniaturization of a bare chip loading board further, wiring resistance decreases and it can respond also to the clock of a RF of operation.

[0077] Moreover, the capacitor which should be formed between the terminal for the power supplies of a bare chip and the terminal for glands is connectable with the background of the chip by carrying out double-sided mounting, as shown in drawing. Therefore, in case a circuit pattern is designed, the place in which a capacitor should be carried can be secured easily. Since this capacitor is carrying out the work which prepares the wave of the signal outputted and inputted by the semiconductor chip, if it certainly carries the required capacitor, its stability of operation as the whole multi chip module will improve. And since the capacitor itself is very small, even if it carries many capacitors, a bare chip loading board does not enlarge it.

[0078] In addition, although a bare chip loading board like drawing 21 can constitute one computer system from it simple substance, when this bare chip loading board needs to be mounted in a printed wired board, it should just prepare the pin for wiring as shown in drawing 20.

[0079]

[Effect of the Invention] As explained above, since the semiconductor connection substrate of this invention has high surface smooth nature and makes the cheap photosensitive glass the material of a substrate, it can make cheap the semiconductor connection substrate for connecting the semiconductor chip of linear density of your kind consideration, such as a semiconductor chip, and the printed wired board of low wiring density.

[0080] Since the time which is electrically excellent and chip connection takes -- a noise is mitigated since there is furthermore no space wiring of a leadframe etc. -- does not become so long, the working hours at the time of carrying a chip with many electrodes in a printed wired board can be shortened.

[0081] Moreover, since a semiconductor connection substrate is manufactured by using a photosensitive glass as a substrate by the manufacture method of the semiconductor connection substrate of this invention, while being able to manufacture with a cheap material, it is possible to manufacture a semiconductor connection substrate, without raising a manufacturing cost extremely also to the increase in the number of electrodes of a chip.

[0082] Moreover, on the bare chip loading board of this invention, a bare chip is carried in both sides of the substrate which consists of a photosensitive glass, and in order to wire through the hole prepared in the substrate, while wiring of two or more bare chips is performed in three dimensions, the chips carried in both sides of a substrate are connected in a very short distance. Therefore, while the miniaturization of a bare chip loading board can be attained, operation of a RF is attained by the fall of wiring resistance.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] Drawing 1 is drawing showing the semiconductor connection substrate of this invention.

[Drawing 2] It is drawing showing the manufacturing process of a semiconductor connection substrate.

[Drawing 3] It is drawing showing the 1st example of the printed wired board in which the bare chip was carried using the semiconductor connection substrate of this invention.

[Drawing 4] It is drawing showing the 2nd example of the printed wired board in which the bare chip was carried using the semiconductor connection substrate of this invention.

[Drawing 5] It is drawing showing the 3rd example of the printed wired board in which the bare chip was carried using the semiconductor connection substrate of this invention.

[Drawing 6] It is drawing showing the 4th example of the printed wired board in which the bare chip was carried using the semiconductor connection substrate of this invention.

[Drawing 7] a conductor -- it is drawing showing the manufacturing process of the semiconductor connection substrate at the time of using a photosensitive-glass substrate [finishing / formation of a film]

[Drawing 8] It is drawing showing the manufacturing process of a semiconductor connection substrate which prepared the end-connection child with a printed wired board in the substrate end face.

[Drawing 9] It is drawing showing the example of a semiconductor connection substrate of having an end-connection child in a substrate end face. (A) is a plan and (B) is the X-X line cross section of (A).

[Drawing 10] It is an end-connection child's enlarged view formed in the substrate end face.

[Drawing 11] It is drawing showing the 1st example of the printed wired board which carried the bare chip in the end face using the semiconductor connection substrate which has an end-connection child.

[Drawing 12] It is drawing showing the 2nd example of the printed wired board which carried the bare chip in the end face using the semiconductor connection substrate which has an end-connection child.

[Drawing 13] It is drawing showing the direction of the localization at the time of connecting the semiconductor connection substrate and printed wired board using the transparent photosensitive glass.

[Drawing 14] It is drawing showing the scene checked by looking at the time of alignment. (A) is drawing showing the state before making a semiconductor connection substrate approach the target position, and (B) is drawing showing the state where the semiconductor connection substrate was made to approach the target position.

[Drawing 15] It is drawing showing the alignment situation at the time of preparing an alignment mark. (A) is drawing showing the state before making a semiconductor connection substrate approach the target position, and (B) is drawing showing the state where the semiconductor connection substrate was made to approach the target position.

[Drawing 16] It is drawing showing the manufacturing process of the semiconductor connection substrate which makes an end-connection child with a printed wired board a ping lid gestalt.

[Drawing 17] It is drawing showing the example in the case of connecting a bare chip to an opposite side a pin protrusion side.

[Drawing 18] It is drawing showing the example at the time of closing a bare chip with a lid.

[Drawing 19] It is drawing showing the example in the case of connecting a bare chip to the same field as a pin protrusion side.

[Drawing 20] It is drawing showing the example at the time of piling up the substrate for semiconductor connection and considering as multichip composition.

[Drawing 21] It is drawing showing the bare chip loading board which made high density assembly possible. (A) is a plan and (B) is the Y-Y cross section of (A).

[Description of Notations]

10 Semiconductor Connection Substrate

11 Photosensitive-Glass Substrate

12 Adhesives

13a-13d Wiring

14a-14d Bump

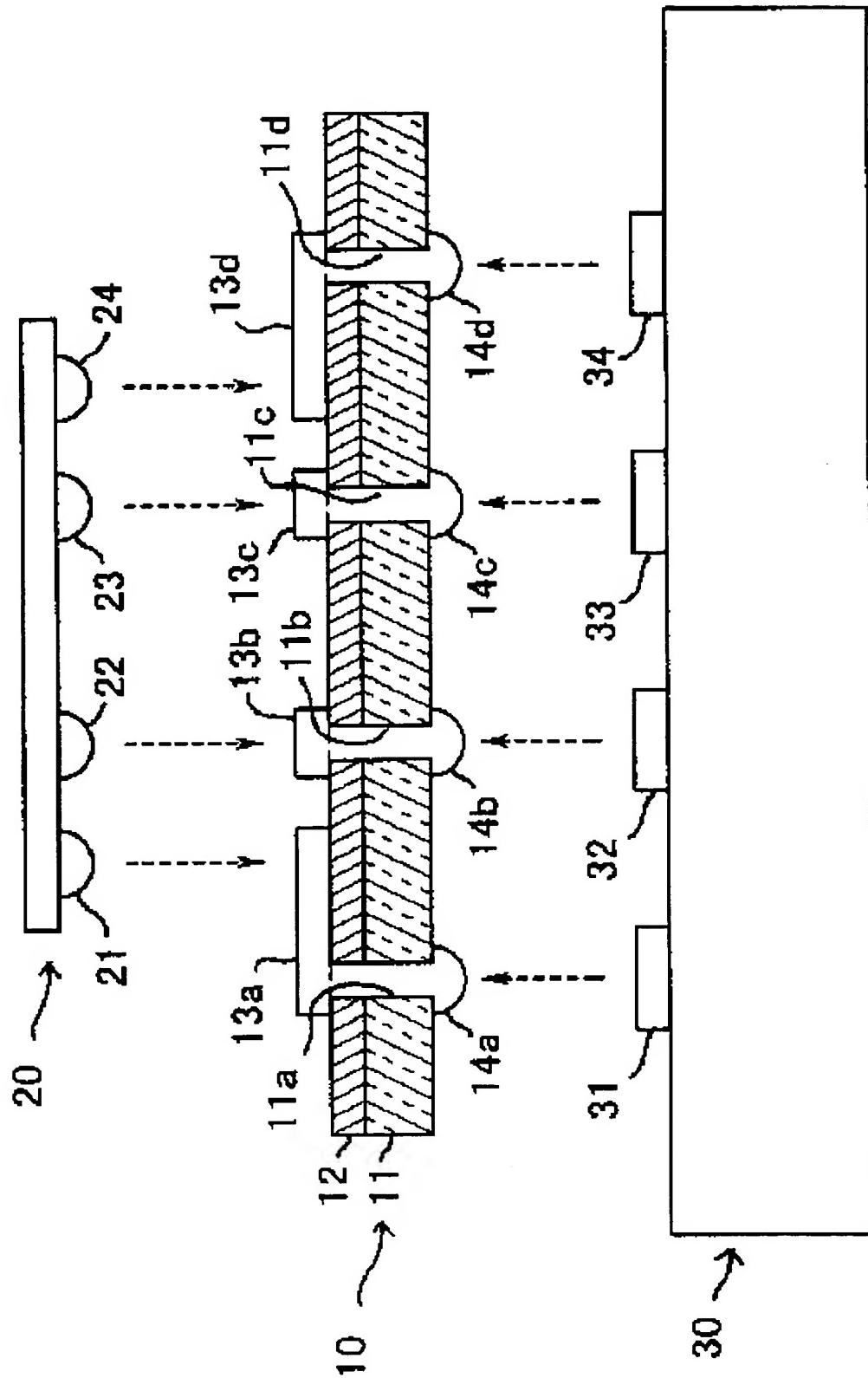
20 Bare Chip

21-24 Bump

30 Printed Wired Board

31-34 Electrode

[Translation done.]



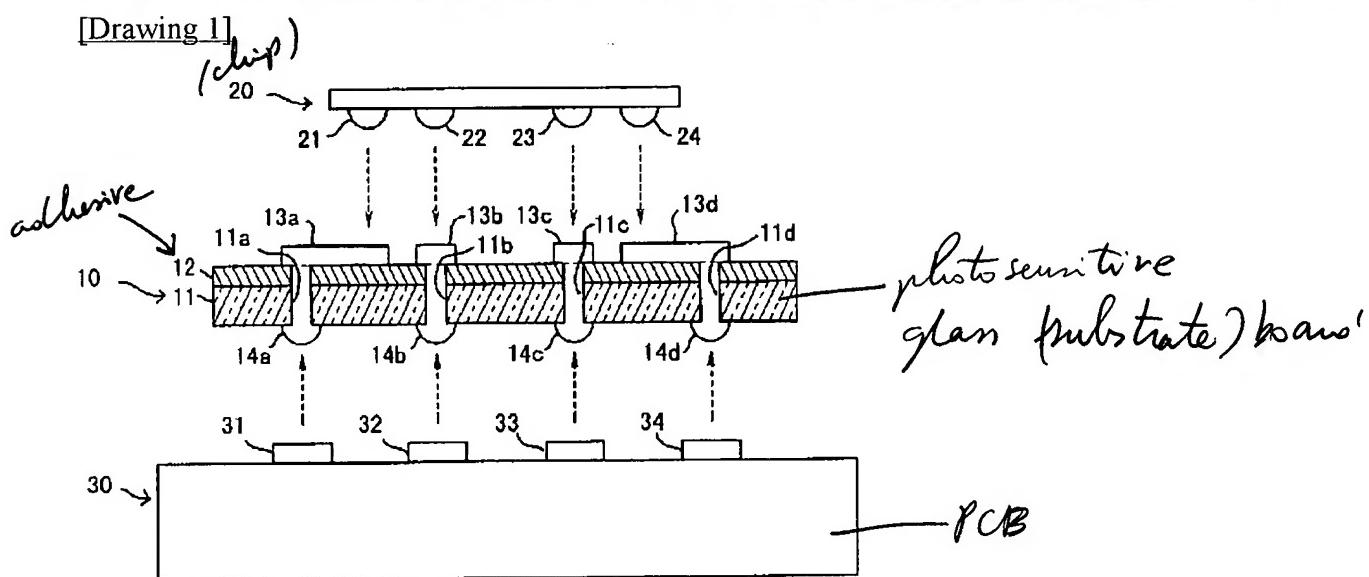
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

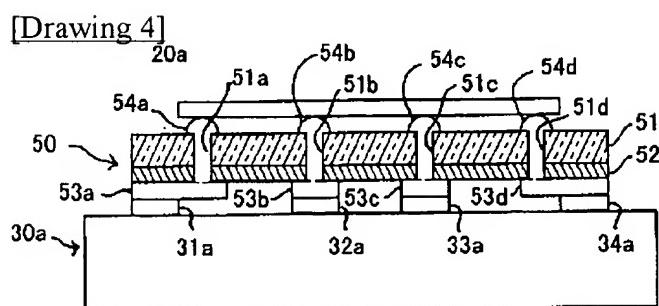
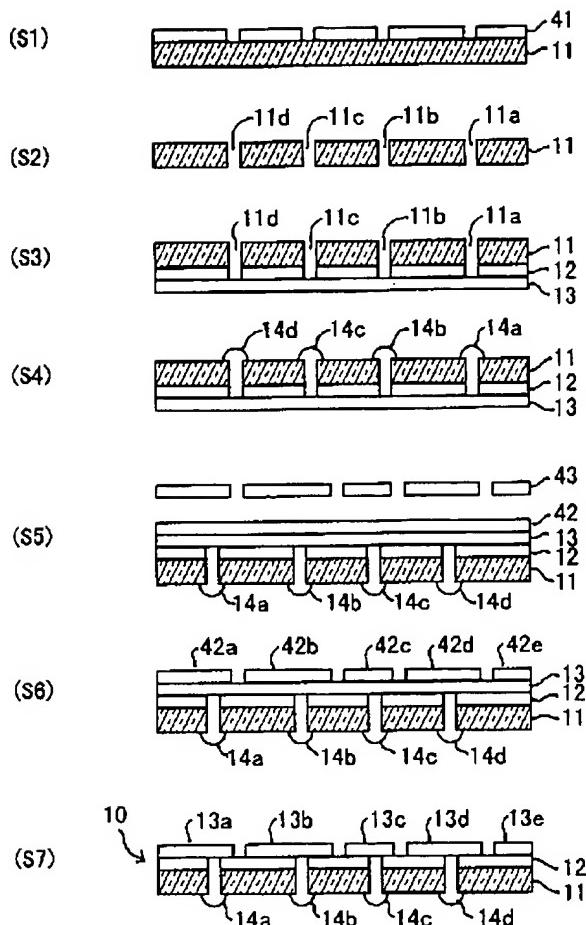
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

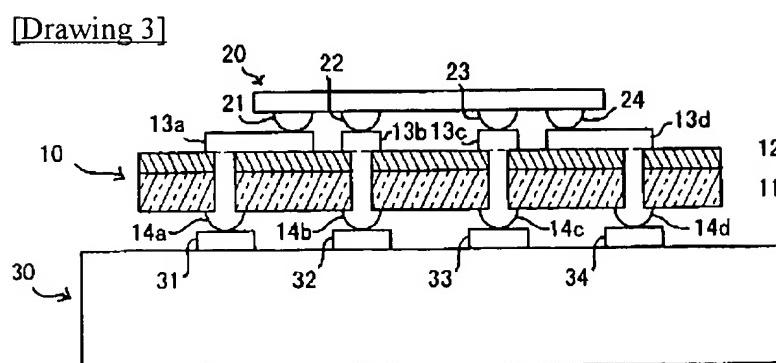
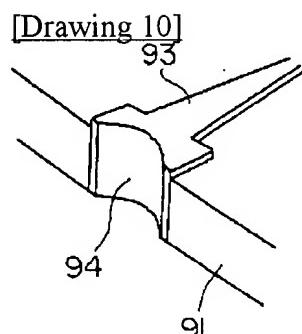
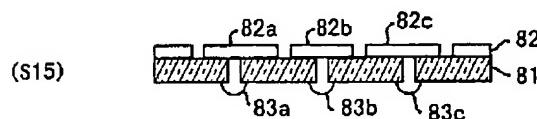
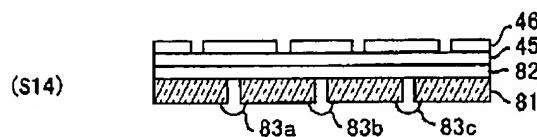
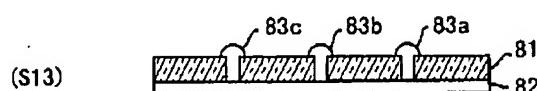
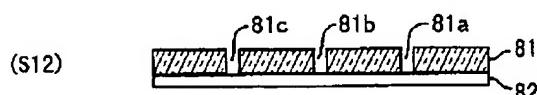
[Drawing 1]



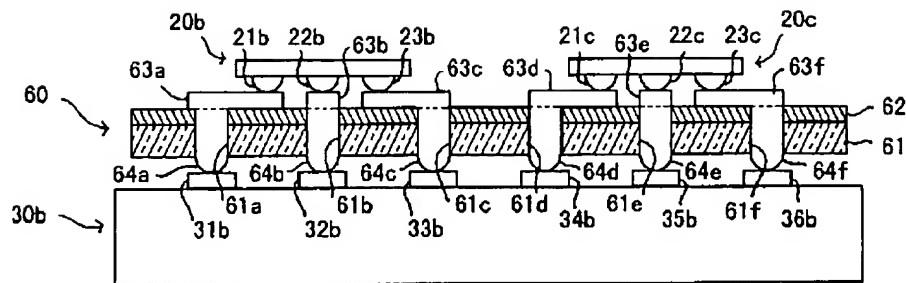
[Drawing 2]



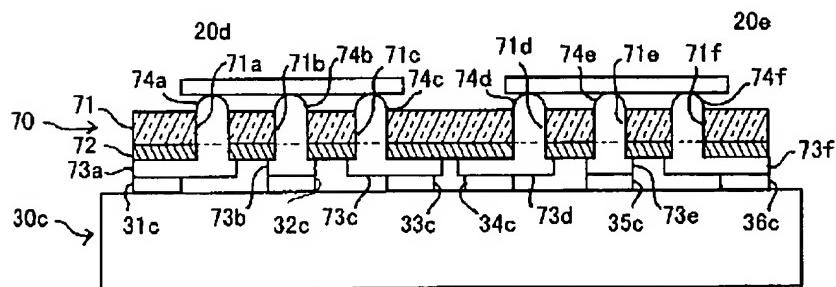
[Drawing 7]



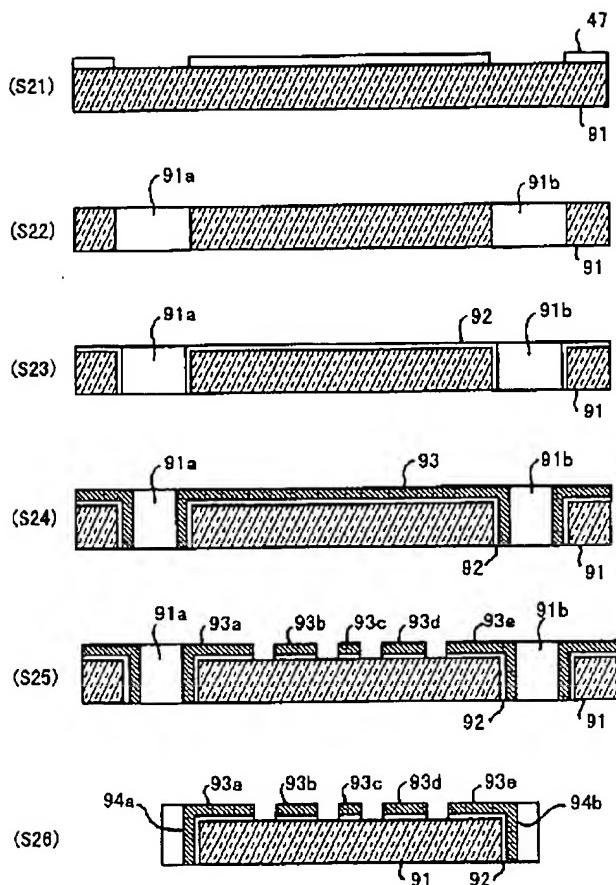
[Drawing 5]



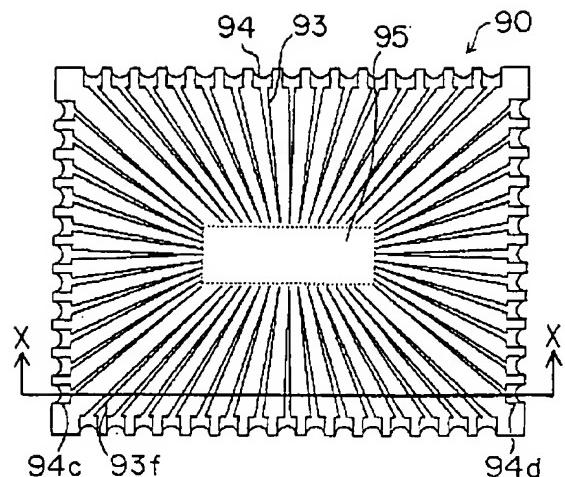
[Drawing 6]



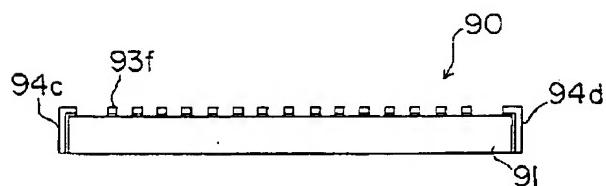
[Drawing 8]



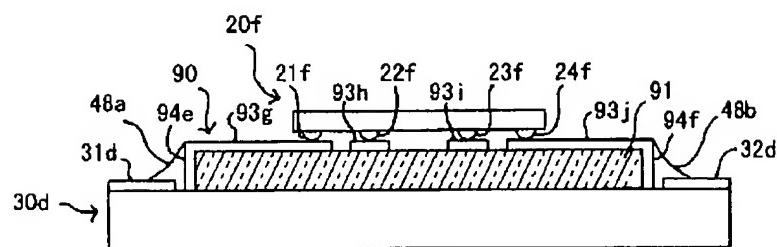
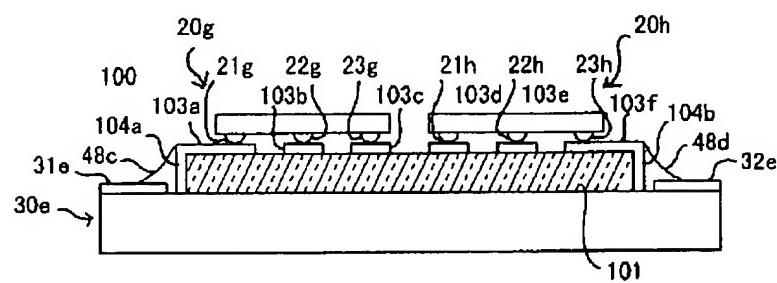
[Drawing 9]

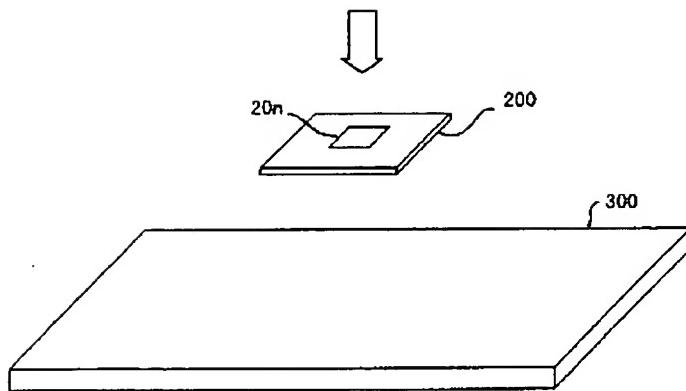


(A)

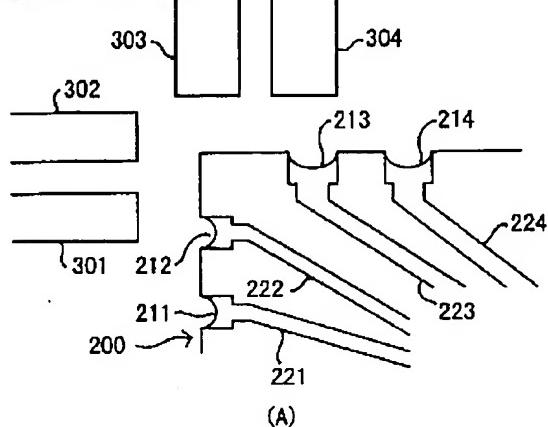


(B)

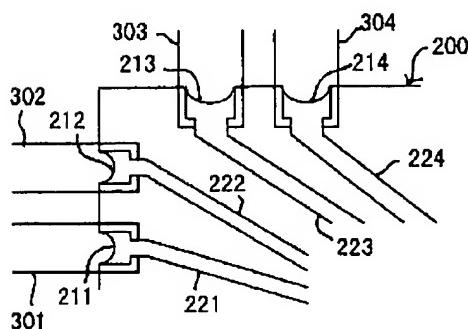
[Drawing 11][Drawing 12][Drawing 13]



[Drawing 14]

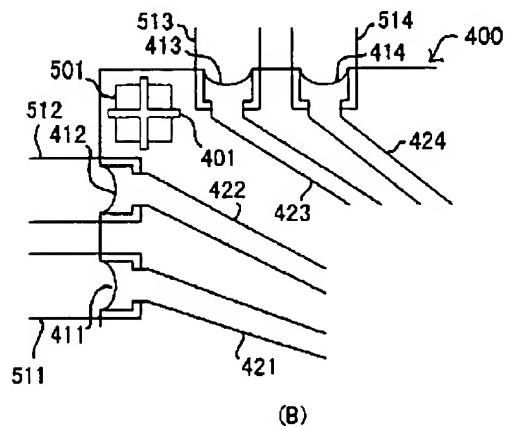
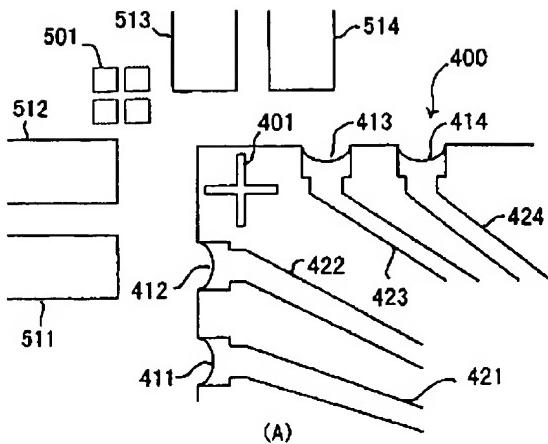


(A)

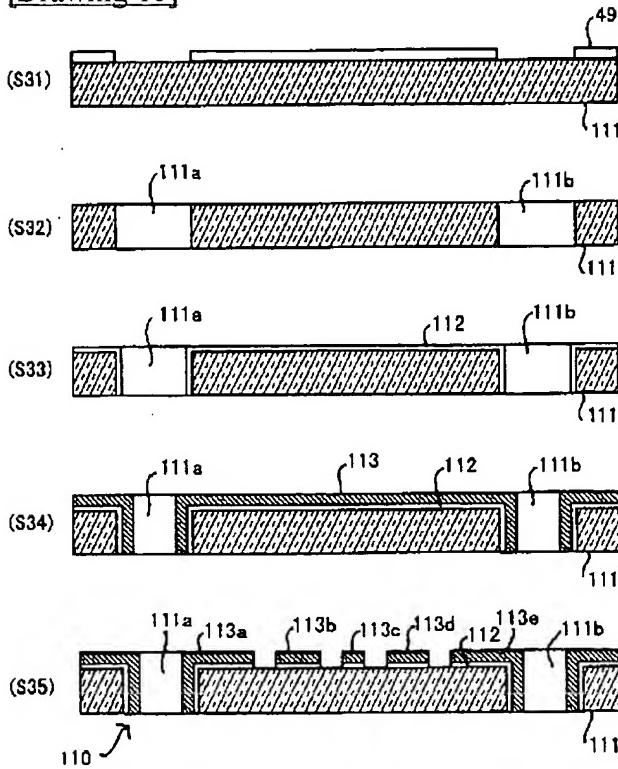


(B)

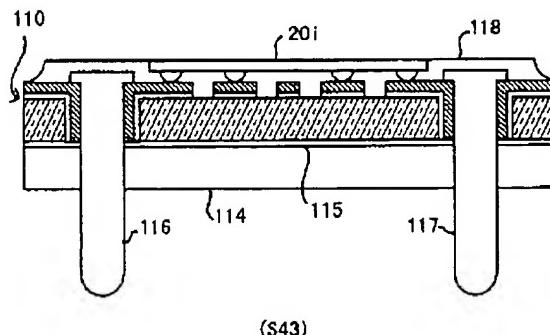
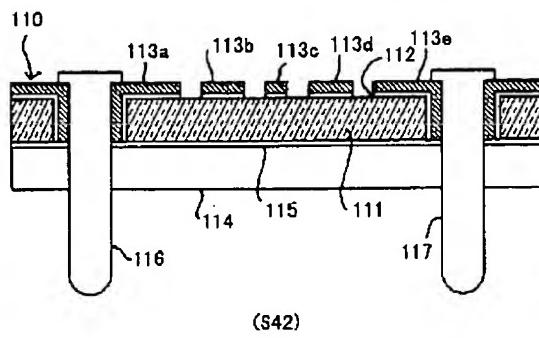
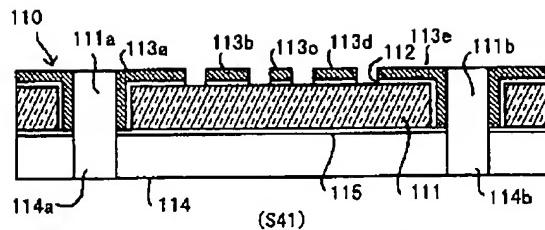
[Drawing 15]



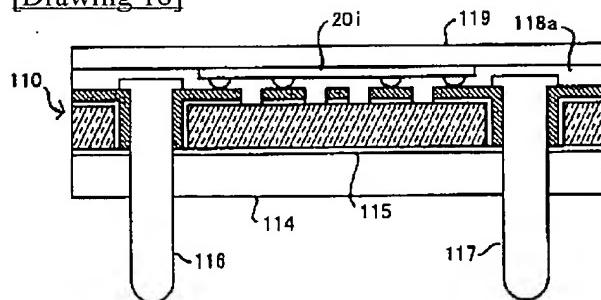
[Drawing 16]



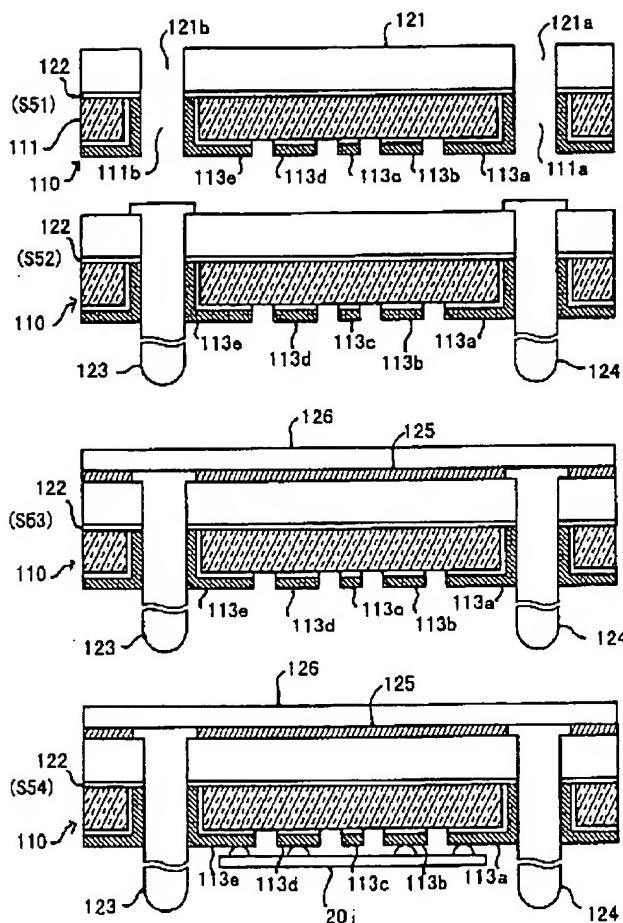
[Drawing 17]



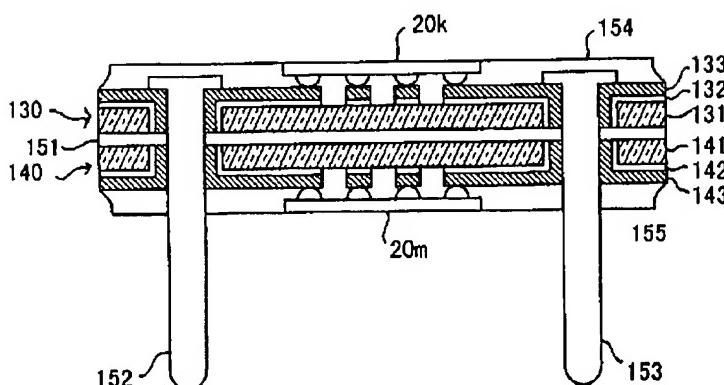
[Drawing 18]



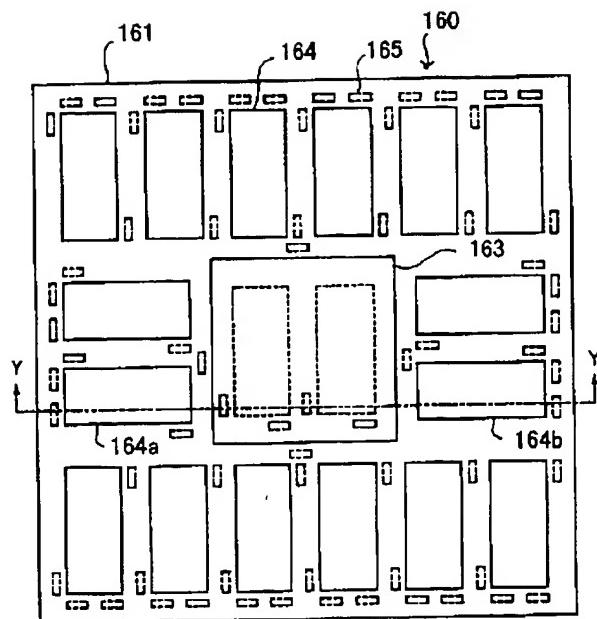
[Drawing 19]



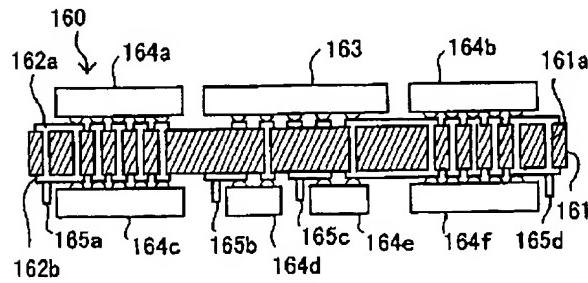
[Drawing 20]



[Drawing 21]



(A)



(B)

[Translation done.]